

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office

出願年月日

Date of Application:

2002年 8月29日

出願番号

Application Number:

特願2002-250506

[ST.10/C]:

[JP2002-250506]

出願人

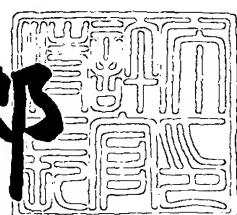
Applicant(s):

株式会社日立製作所

2003年 2月28日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3011608

【書類名】 特許願

【整理番号】 H02010451

【提出日】 平成14年 8月29日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/50

【発明者】

【住所又は居所】 東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内

【氏名】 野瀬 藤明

【発明者】

【住所又は居所】 東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内

【氏名】 菊地 広

【発明者】

【住所又は居所】 東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内

【氏名】 上野 聰

【発明者】

【住所又は居所】 茨城県土浦市神立町502番地 株式会社日立製作所 機械研究所内

【氏名】 中里 典生

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項1】 半導体素子および複数の電極を有する半導体チップと、前記半導体チップの主面より小さく、前記半導体チップの裏面と接合するダイパッドと、  
前記半導体チップを樹脂封止する封止体と、  
前記封止体の実装面に露出する外部端子部と前記封止体の内部に配置されるインナリード部とからなる複数のリードと、  
前記半導体チップの複数の電極と前記複数のインナリード部とをそれぞれに電気的に接続する複数のボンディングワイヤとを有し、  
前記複数のリードのインナリード部のそれぞれは前記封止体の実装面から離れる方向に折り曲げられていることを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置であって、  
前記半導体チップは、  
半導体基板上に形成され、接地電位と電気的に接続された第1配線と、  
前記第1配線上に形成された第1絶縁膜と、  
前記第1絶縁膜上に形成され、信号伝送線路である第2配線とを有し、  
前記第2配線は第1領域と第2領域と第3領域とを含み、  
前記第2配線の前記第2領域は、前記第1領域および前記第3領域の間に位置し、  
前記第2配線の前記第1領域にはボンディングワイヤが接続され、  
前記第2配線の前記第2領域における配線幅は前記第3領域における配線幅よりも大きいことを特徴とする半導体装置。

【請求項3】 請求項1記載の半導体装置であって、前記ダイパッドは、前記封止体の実装面と反対側の面に露出していることを特徴とする半導体装置。

【請求項4】 請求項3記載の半導体装置であって、前記ダイパッドの露出部に放熱部材が取り付けられていることを特徴とする半導体装置。

【請求項5】 請求項1記載の半導体装置であって、前記ボンディングワイ

ヤの長さは、0.65mm以下であることを特徴とする半導体装置。

【請求項6】 半導体素子および複数の電極を有する半導体チップと、前記半導体チップの主面より小さく、前記半導体チップの裏面と接合するダイパッドと、

前記半導体チップを樹脂封止する封止体と、

前記封止体の外部に露出する外部端子部と前記封止体の内部に配置されるインナリード部とからなり、前記外部端子部と前記インナリード部のうち少なくとも何れかに前記外部端子部が配列する面から離れる方向に折り曲げられた箇所を有する複数のリードと、

前記半導体チップの複数の電極と前記複数のインナリード部とをそれぞれに電気的に接続する複数のボンディングワイヤとを有し、

前記半導体チップは、

半導体基板上に形成され、接地電位と電気的に接続された第1配線と、

前記第1配線上に形成された第1絶縁膜と、

前記第1絶縁膜上に形成され、信号伝送線路である第2配線とを有し、

前記第2配線は第1領域と第2領域と第3領域とを含み、

前記第2配線の前記第2領域は、前記第1領域および前記第3領域の間に位置し、

前記第2配線の前記第1領域にはボンディングワイヤが接続され、

前記第2配線の前記第2領域における配線幅は前記第3領域における配線幅よりも大きいことを特徴とする半導体装置。

【請求項7】 請求項6記載の半導体装置であって、前記ダイパッドは、前記封止体の実装面と反対側の面に露出していることを特徴とする半導体装置。

【請求項8】 リードフレームを用いて組み立てられる半導体装置の製造方法であって、

(a) 半導体チップの主面より小さいダイパッドと、外部端子部およびインナリード部からなる複数のリードとを有しており、前記インナリード部は、前記外部端子部が配列する面から離れる方向に折り曲げられているリードフレームを準備する工程と、

- (b) 半導体素子および複数の電極を有する半導体チップを準備する工程と、
- (c) 前記半導体チップを前記ダイパッドより迫り出させて前記半導体チップの裏面と前記ダイパッドとを接合する工程と、
- (d) 前記半導体チップの電極とこれに対応する前記リードフレームのインナリード部とをボンディングワイヤによって電気的に接続する工程と、
- (e) 前記複数のリードそれぞれの外部端子部が封止体の実装面に露出され、それぞれのインナリード部が内部に配置されるように前記半導体チップ、前記ボンディングワイヤおよび前記複数のインナリード部を樹脂封止する工程と、
- (f) 前記複数のリードを前記リードフレームから分離する工程とを有することを特徴とする半導体装置の製造方法。

【請求項9】 請求項8記載の半導体装置の製造方法であって、前記(c)工程において、角錐コレットによって前記半導体チップを吸着した状態で前記ダイパッド上に前記半導体チップを配置し、その後、前記半導体チップと前記ダイパッドとを接合することを特徴とする半導体装置の製造方法。

【請求項10】 請求項9記載の半導体装置の製造方法であって、前記角錐コレットは、そのチップ吸着時に前記半導体チップに接触する接触面と、前記角錐コレットの垂直方向に平行な軸線との成す角度が45°以下であることを特徴とする半導体装置の製造方法。

【請求項11】 請求項8記載の半導体装置の製造方法であって、前記(b)工程において準備する前記半導体チップは、

半導体基板上に形成され、接地電位と電気的に接続された第1配線と、前記第1配線上に形成された第1絶縁膜と、前記第1絶縁膜上に形成され、信号伝送線路である第2配線とを有し、前記第2配線は第1領域と第2領域と第3領域とを含み、前記第2配線の前記第2領域は、前記第1領域および前記第3領域の間に位置し、

前記第2配線の前記第1領域には前記ボンディングワイヤが接続され、前記第2配線の前記第2領域における配線幅は前記第3領域における配線幅よりも大きいことを特徴とする半導体装置の製造方法。

【請求項12】 請求項11記載の半導体装置の製造方法であって、前記ボンディングワイヤの長さに応じて前記半導体チップにおける前記第1配線上の前記第2配線の第1領域の面積の大きさを変えてチップ内容量の大きさを変えることと特徴とする半導体装置の製造方法。

【請求項13】 請求項11記載の半導体装置の製造方法であって、前記半導体チップにおいて、高速信号用の入力電極と対向した位置に高速信号用の出力電極が配置されていることを特徴とする半導体装置の製造方法。

【請求項14】 請求項8記載の半導体装置の製造方法であって、前記ダイパッドが前記封止体の実装面と反対側の面に露出するように樹脂封止することと特徴とする半導体装置の製造方法。

【請求項15】 リードフレームを用いて組み立てられる半導体装置の製造方法であって、

(a) 外部端子部およびインナリード部からなる複数のリードと、ダイパッドとを有しており、前記インナリード部は、前記外部端子部が配列する面から離れる方向に折り曲げられているリードフレームを準備する工程と、

(b) 半導体素子および複数の電極を有する半導体チップを準備する工程と、

(c) 前記半導体チップの裏面と前記ダイパッドとを接合する工程と、

(d) 前記半導体チップの電極とこれに対応する前記リードフレームのインナリード部とをボンディングワイヤによって電気的に接続する工程と、

(e) 前記複数のリードそれぞれの外部端子部が封止体の実装面に露出され、それぞれのインナリード部が内部に配置されるように前記半導体チップ、前記ボンディングワイヤおよび前記複数のインナリード部を樹脂封止する工程と、

(f) 前記複数のリードを前記リードフレームから分離する工程とを有し、前記半導体チップは、

半導体基板上に形成され、接地電位と電気的に接続された第1配線と、

前記第1配線上に形成された第1絶縁膜と、

前記第1絶縁膜上に形成され、信号伝送線路である第2配線とを有し、

前記第2配線は第1領域と第2領域と第3領域とを含み、

前記第2配線の前記第2領域は、前記第1領域および前記第3領域の間に位置

し、

前記第2配線の前記第1領域にはボンディングワイヤが接続され、

前記第2配線の前記第2領域における配線幅は前記第3領域における配線幅よりも大きいことを特徴とする半導体装置の製造方法。

【請求項16】 リードフレームを用いて組み立てられる半導体装置の製造方法であって、

(a) 半導体チップの正面より小さいダイパッドと、外部端子部およびインナリード部からなる複数のリードとを有しており、前記外部端子部と前記インナリード部のうち少なくとも何れかに、前記外部端子部が配列する面から離れる方向に折り曲げられた箇所を有するリードフレームを準備する工程と、

(b) 半導体素子および複数の電極を有する半導体チップを準備する工程と、

(c) 前記半導体チップを前記ダイパッドより迫り出させて前記半導体チップの裏面と前記ダイパッドとを接合する工程と、

(d) 前記半導体チップの電極とこれに対応する前記リードフレームのインナリード部とをボンディングワイヤによって電気的に接続する工程と、

(e) 前記複数のリードそれぞれの外部端子部が封止体の側面から外部に露出され、それぞれのインナリード部が内部に配置されるように前記半導体チップ、前記ボンディングワイヤおよび前記複数のインナリード部を樹脂封止する工程と

(f) 前記複数のリードを前記リードフレームから分離する工程とを有し、

前記半導体チップは、

半導体基板上に形成され、接地電位と電気的に接続された第1配線と、

前記第1配線上に形成された第1絶縁膜と、

前記第1絶縁膜上に形成され、信号伝送線路である第2配線とを有し、

前記第2配線は第1領域と第2領域と第3領域とを含み、

前記第2配線の前記第2領域は、前記第1領域および前記第3領域の間に位置し、

前記第2配線の前記第1領域にはボンディングワイヤが接続され、

前記第2配線の前記第2領域における配線幅は前記第3領域における配線幅よ

りも大きいことを特徴とする半導体装置の製造方法。

【請求項17】 請求項16記載の半導体装置の製造方法であって、前記ダイパッドが前記封止体の実装面と反対側の面に露出するように樹脂封止することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に関し、特に、高周波での信号伝送および広帯域での高速な信号伝送が要求される半導体装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】

たとえば光通信用ICのような高速LSIが形成された半導体チップを搭載するパッケージに対しては、DCから実際に使用される高周波帯域までの広帯域の信号伝送が要求されている。特に、10Gbit/sec以上のビットレートにおいて、前記パッケージに対しては、高周波でのインピーダンス整合および低損失が要求されている。このような要求に対する対策として、信号伝送線路を形成したパッケージ基板の主面上に半導体チップをフェイスタウン方式で実装し、信号伝送線路の一端を半導体チップの正面に形成した電極パッドの直下まで延在することによって、信号伝送線路と電極パッドとがバンプ電極を介して電気的に接続するように実装する手段が考えられる。この手段によれば、信号伝送線路と半導体チップとを最短距離で接続することができるので、信号伝送線路から半導体チップの電極パッドに到るまでの伝送特性を良好に保存することができる。パッケージング材料としてセラミックを用いることにより、低損失でインピーダンス整合のとれた伝送線を形成することができる。また、パッケージング材料としてセラミックを用いて気密封止することによって半導体チップを外部環境から保護し、機械的強度、耐湿性、耐熱性および放熱性などに優れるパッケージを実現することができる。

【0003】

たとえば特開平7-147352号公報では、パッケージ基板上に形成された信号伝送線路の配線幅を半導体チップと重なる領域で狭くし、半導体チップと信号伝送線路との間に形成される容量に起因するインピーダンスの低下を補償することによって、パッケージ内の信号伝送線路の特性インピーダンス整合を図る技術について開示されている。また、セラミックから形成されたパッケージ基板を用いることにより、パッケージにおける伝送信号の損失を低減する技術についても開示されている。

## 【0004】

## 【発明が解決しようとする課題】

上記したようなパッケージ基板の主面上に半導体チップをフェイスダウン方式で実装する場合には、半導体チップの正面に形成した電極パッド上にバンプ電極（はんだボール）を形成する必要がある。このバンプ電極は、たとえば個々の半導体チップに切断する前の半導体ウェハの正面にフォトレジスト膜を形成およびパターニングした後、めっき法などを用いて電極パッド上に形成することになる。そのため、たとえば電極パッドとパッケージ基板とをワイヤボンディングすることで実装する手段に比べて、半導体ウェハに対しての処理工程数が増加してしまうこととなり、半導体ウェハの製造コストが高価になってしまうことになる。

## 【0005】

また、半導体チップをフェイスダウン方式で実装することから、実装工程時においては、バンプ電極とパッケージ基板との接続部分が視認できなくなる。そのため、たとえばワイヤボンディング法によって半導体チップをパッケージ基板に実装する場合に比べて実装が困難になってしまことから、パッケージの製造コストが高価になてしまうことになる。

## 【0006】

また、パッケージング材料としてセラミックを用いた場合には、たとえばプラスチックを用いた場合に比べて材料コストが高くなることから、パッケージの製造コストが高価になてしまうことになる。

## 【0007】

そこで、本発明者は、ワイヤボンディング法およびエポキシ樹脂などのプラス

チックをパッケージング材料としたパッケージング法を用い、高速LSIが形成された半導体チップを搭載するパッケージを形成する手段について検討している。その中で、本発明者は以下のような課題を見出した。

【0008】

すなわち、ワイヤボンディング法を用いることによって、ボンディングワイヤ部においてインピーダンスが増加することから、信号伝送線路から半導体チップの電極パッドに到るまでの伝送特性を良好に保存することができなくなってしまう問題が存在する。

【0009】

本発明の目的は、ワイヤボンディング法を用い、高速LSIが形成された半導体チップを搭載するパッケージを形成する手段を提供することにある。

【0010】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0011】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0012】

すなわち、本発明は、半導体基板上に形成され、接地電位と電気的に接続された第1配線と、前記第1配線上に形成された第1絶縁膜と、前記第1絶縁膜上に形成され、信号伝送線路である第2配線とを有し、前記第2配線は第1領域と第2領域と第3領域とを含み、前記第2配線の前記第1領域にはボンディングワイヤが接続され、前記第2配線の前記第2領域における配線幅は前記第3領域における配線幅よりも大きいものである。

【0013】

さらに、本発明は、半導体チップの主面より小さいダイパッドと、外部端子部およびインナリード部からなる複数のリードとを有しており、前記インナリード部は、前記外部端子部が配列する面から離れる方向に折り曲げられているリード

フレームを準備する工程と、半導体素子および複数の電極を有する半導体チップを準備する工程と、前記半導体チップを前記ダイパッドより迫り出させて前記半導体チップの裏面と前記ダイパッドとを接合する工程と、前記半導体チップの電極とこれに対応する前記リードフレームのインナリード部とをボンディングワイヤによって電気的に接続する工程と、前記複数のリードそれぞれの外部端子部が封止体の実装面に露出され、それぞれのインナリード部が内部に配置されるよう前記半導体チップ、前記ボンディングワイヤおよび前記複数のインナリード部を樹脂封止する工程と、前記複数のリードを前記リードフレームから分離する工程とを有するものである。

## 【0014】

## 【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態の説明に用いる図面においては、図面をわかりやすくするために平面図であってもハッチングを付す場合がある。

## 【0015】

## (実施の形態1)

本実施の形態1の半導体装置は、たとえば光通信用IC（高速LSI）が形成された半導体チップを搭載するパッケージである。図1は本実施の形態1の半導体装置の要部平面図であり、図2は図1中のA-A線に沿った断面図であり、図3は図1中のB-B線に沿った断面図であり、図4は本実施の形態1の半導体装置の要部断面図である。

## 【0016】

図2および図3に示すように、本実施の形態1の半導体装置は、たとえば半導体素子が形成されるボンド基板となる単結晶シリコン（SOI（Silicon On Insulator）層）とベース基板となる単結晶シリコンとを酸化膜（BOX（Buried Oxide）層）を介して接着した後、ボンド基板を薄膜化することによって形成した半導体基板1を用いて形成される。図2および図3中での図示を省略したI/O

(Input/Output) 回路（第1回路）I/O（図1参照）が形成される領域において、半導体基板1のS O I層には、たとえばn p n型バイポーラトランジスタおよびp n p型バイポーラトランジスタのうちの少なくとも一方が形成されている。

#### 【0017】

半導体基板1上には、下層から順に第1層配線（第1配線）11を含む配線層（第1配線層）、第2層配線12を含む配線層、第3層配線13を含む配線層および第4層配線14A、14Bを含む配線層（第2配線層）が形成されている。これらの配線は、たとえばTi（チタン）膜、TiN（窒化チタン）膜およびTi膜を積層してなるバリア導体膜と、主導電層となるAl（アルミニウム）合金膜と、Ti膜およびTiN膜を積層してなるバリア導体膜との積層膜をパターニングすることで形成することができる。最上層配線となる第4層配線14A、14Bの主導電層のAl合金膜は、他の配線の主導電層のAl合金膜より相対的に厚い膜厚で形成されている。また、第1層配線11と半導体基板1との間および各配線間には、たとえば酸化シリコンからなる層間絶縁膜（第1絶縁膜）15が形成されている。第4層配線14Aを除く各配線間は、プラグ17を介して電気的に接続されている。このプラグ17は、たとえば層間絶縁膜15に形成した孔部内にTi膜とTiN膜とからなる積層膜およびW膜を順次堆積した後、その孔部の外部の積層膜およびW膜を除去することによって形成することができる。

#### 【0018】

第4層配線（第2配線）14Aは、信号伝送線であり、I/O回路19と電気的に接続されている。また、第4層配線14Aおよび第1層配線11は、その間に誘電体（層間絶縁膜15）を挟むことにより、いわゆるマイクロストリップ線路（構造）を形成している。第4層配線14Bは、第3層配線13、第2層配線12および第1層配線11を介して接地（基準）電位（GND）と電気的に接続されている。また、第4層配線14A、14Bの端部の領域（パッド領域）PAD（図1参照）は、ワイヤボンディングのためのボンディングパッドとなっている。第4層配線14A、14Bの上部には、下層から酸化シリコン膜、窒化シリコン膜およびポリイミド膜を積層してなる保護膜18が形成されている。この保護膜18には、前記ボンディングパッド上において開口部19が形成されている

## 【0019】

図4に示すように、本実施の形態1の光通信用ICが形成された半導体チップ21は、たとえばリードフレームのダイパッド22Aに接着され、第4層配線14A、14Bの端部の領域PAD(図1参照)とアウターリード22BとがAu(金)からなるワイヤ23によってワイヤボンディングされ、エポキシ樹脂24によって封止されることによってパッケージングされている。エポキシ樹脂24のようなプラスチックをパッケージング材料として用いることにより、たとえばセラミックをパッケージング材料として用いた場合よりも相対的にパッケージの製造コストを低減することができる。

## 【0020】

ところで、本実施の形態1のパッケージにおける線路インピーダンスZは、インダクタンスをLとし容量をCとすると、簡易的に $Z = (L/C)^{1/2}$ と表すことができる。線路インピーダンスZは、パッケージ内の信号伝送線路の特性インピーダンス整合を図るために、たとえば50Ωというように所定の値(第1の値)で規定される。上記したように、本実施の形態1においては、半導体チップ21とリードフレームとをワイヤボンディングする手段が用いられている。そのため、ワイヤ23におけるインダクタンス成分が加わることにより、線路インピーダンスZが変動してしまうことになる。そこで、本実施の形態1では、第4層配線14Aについて、領域PADを含む端部からの領域(第1領域)CAPAをI/O回路IOに向かって延在する領域(第3領域)に比べて配線幅を広く形成する。ここで、本実施の形態において、配線幅とは、配線の延在方向と直交する方向における配線の大きさのことと示すものとする。そして、第4層配線14Aの領域CAPAおよび第1層配線11を容量電極とし、第1層配線11と第4層配線14Aとの間の3層の層間絶縁膜15を容量絶縁膜とするキャパシタを形成する。また、第4層配線14Aについて、領域PADを含む端部からの領域CAPAの配線幅をボンディングパッドとなっている部分とすることにより、所定の容量値のキャパシタの設計を容易にすることが可能となる。このキャパシタを形成することにより、キャパシタにおける容量成分によってワイヤ23におけるイン

ダクタンス成分を相殺することができる。それにより、ワイヤ23を用いたワイヤボンディング法によって半導体チップ21とアウターリード22Bとを電気的に接続した際に、線路インピーダンスZの変動を防ぎ、パッケージ内の信号伝送線路の特性インピーダンス整合を図ることが可能となる。第4層配線14Aを伝わる信号の伝送速度（周波数）が大きくなるに従って、信号の反射が懸念されるが、パッケージ内の信号伝送線路の特性インピーダンス整合をとることができるので、第4層配線14Aを伝わる信号が高周波（たとえば周波数1GHz程度以上）である場合においても、信号の反射を防ぐことが可能となる。

#### 【0021】

また、第1層配線11および第4層配線14Aを用いて所定の容量値のキャパシタを形成する場合に、第1層配線11と第4層配線14Aとの間の層間絶縁膜15の膜厚が薄くなると、それに合わせて上記領域CAPAにおける第4層配線14Aの配線幅を狭くし、領域CAPAにおける第4層配線14Aの面積を小さくする必要がある。この場合、配線幅を狭くすることに伴って、第4層配線14Aの加工精度が低下してしまうことが懸念される。また、第4層配線14Aの配線幅が狭くなることによって、第4層配線14Aの抵抗成分が増加し、信号伝送線である第4層配線14Aを伝わる信号の品質が低下してしまうことも懸念される。一方、本実施の形態1においては、第1層配線11と第4層配線14Aとの間には3層の層間絶縁膜15が形成されていることから、そのような不具合を解消することができる。

#### 【0022】

また、第4層配線14Aは、領域CAPAとそれ以外の領域とが平面で順テープ状に形成された領域（第2領域）31を介して連続するように形成する。この領域31を設けずに領域CAPAのみで容量調整を行った場合には、上記線路インピーダンスZが低下してしまうことが懸念されるが、領域31を設けることによってそのような不具合を防ぐことが可能となる。

#### 【0023】

また、前述したように、ボンディングパッドとなっている第4層配線14A、14Bの領域PADは、第4層配線14A、14Bの端部に配置されている。こ

ここで、第4層配線14Aについては、その端部が半導体チップ21の外周部近くに達するようにパターニングすることによってワイヤ23の長さを短くすることが可能となる。すなわち、ワイヤ23の長さを短くできることによって、ワイヤ23のインダクタンス成分を低減することができる。それにより、上記キャパシタの容量値についても小さく設定することが可能となる。その結果、高周波信号を第4層配線14Aに伝送する場合でも、損失なく伝送することができる。

## 【0024】

本発明者は、ワイヤ23のインダクタンスを1nHとし、第4層配線14Aの領域P A Dと領域31との間の距離L1（図1参照）を0μm、50μmおよび100μmの3通りに設定した場合における第4層配線14Aの信号反射特性の容量依存性について実験により調べた。図5に示すように、その距離L1が大きくなるに従って、第4層配線14Aを伝わる信号の周波数に対する電圧定在波比（Voltage Standing Wave Ratio; VSWR）は小さくなる。この電圧定在波比が小さくなるということは、上記第1層配線11（図1～図3参照）、第4層配線14Aおよび層間絶縁膜15（図1～図3参照）を用いて形成したキャパシタの容量値が大きくなり、伝送信号の損失が大きくなることになる。前述したように、本実施の形態1の半導体装置は光通信用ICであり、第4層配線14Aを伝わる信号の周波数は12GHz程度以下である。図5に示したように、上記距離L1が100μmである第4層配線14Aにこのような周波数帯の信号が伝わる場合には、伝送信号の損失が大きくなることから、距離L1を100μmで設計することは不適ということになる。一方、電圧定在波比が大きくなるということは、第4層配線14Aを伝わる信号の反射が大きくなるということになる。また前述したように、第4層配線14Aを伝わる信号の伝送速度（周波数）が大きくなるに従って伝送信号の反射は大きくなるものであり、本実施の形態1の半導体装置は光通信用ICであることから、第4層配線14Aには高周波（たとえば周波数1GHz程度以上）信号が伝わる。そのため、図5に示したように、距離L1が0μmである場合には、第4層配線14Aを伝わる信号の反射が大きくなり、距離L1を0μmで設計することは不適ということになる。そこで、距離L1を0μmと100μmとの間の50μmで設計すると、第4層配線14Aにおける

伝送信号の損失および反射の双方を防ぐことが可能となる。なお、本発明者による実験においては、距離L1を50μmとすることで第4層配線14Aにおける伝送信号の損失および反射の双方を防ぐことが可能となったが、この距離L1は、第4層配線14A以外の部材の設計値に合わせて変更可能であることは言うまでもない。

## 【0025】

上記したように、本実施の形態1によれば、ワイヤ23を用いたワイヤボンディング法によって半導体チップ21とアウターリード22Bとを電気的に接続した場合において、パッケージ内の信号伝送線路の特性インピーダンス整合をとることができる。それにより、本実施の形態1の光通信用ICにおいては、信号の伝送速度を向上することができる。また、第4層配線14Aにおける伝送信号の損失および反射の双方を防ぐことができるので、伝送信号の波形が歪んでしまうことを防ぐことができる。それにより、本実施の形態1の半導体装置の信号の受信感度を向上することができる。

## 【0026】

## (実施の形態2)

次に、本実施の形態2の半導体装置について説明する。図6は本実施の形態2の半導体装置の要部平面図であり、図7は図6中のA-A線に沿った断面図であり、図8は図6中のB-B線に沿った断面図である。

## 【0027】

本実施の形態2の半導体装置は、前記実施の形態1の半導体装置における第1層配線11(図1～図3参照)の平面形状を変化させたものである。すなわち、図6～図8に示すように、ボンディングパッドとなっている第4層配線14A、14Bの端部の領域PADの下部に、第1層配線11が配置されないように第1層配線11をパターニングするものである。これにより、領域PADにおいては、第4層配線14A、14Bと第1層配線11との間に第4層配線14A、14Bおよび第1層配線11より相対的に機械的強度の小さい層間絶縁膜15は存在しないことになるので、そのボンディングパッドにワイヤ23(図4参照)をボンディングする際の衝撃を緩和することができる。その結果、層間絶縁膜15に

クラックが生じてしまうことを防ぐことができる。

【0028】

上記のような本実施の形態2の半導体装置によっても、前記実施の形態1の半導体装置と同様の効果を得ることができる。

【0029】

(実施の形態3)

次に、本実施の形態3の半導体装置について説明する。図9は本実施の形態3の半導体装置の要部平面図であり、図10は図9中のA-A線に沿った断面図であり、図11は図9中のB-B線に沿った断面図である。

【0030】

本実施の形態3の半導体装置は、前記実施の形態3の半導体装置における第1層配線11(図1～図3参照)の平面形状を変化させたものである。すなわち、平面において第1層配線11を領域PADに配置されるようにパターニングするものである。それにより、平面において前記実施の形態1の場合より小面積の第1層配線11と第4層配線14Aとを用いて容量成分を形成し、本実施の形態3のパッケージ内の信号伝送線路の特性インピーダンス整合をとることができる。

【0031】

上記のような本実施の形態3の半導体装置によっても、前記実施の形態1の半導体装置と同様の効果を得ることができる。

【0032】

(実施の形態4)

次に、本実施の形態4の半導体装置について説明する。図12は本実施の形態4の半導体装置の要部平面図であり、図13は図12中のC-C線に沿った断面図である。

【0033】

本実施の形態4の半導体装置は、前記実施の形態1の半導体装置における第4層配線(第3配線)14B(図1～図3参照)の平面形状を変化させたものである。すなわち、図12および図13に示すように、本実施の形態4の半導体装置において第4層配線14A、14Bは、一定の間隔を隔てて配置されるコプレー

ナ構造を形成するものである。これにより、第4層配線14Aと第4層配線14Bとの間で、容量成分C1を形成することができる。このような容量成分C1を形成することによっても、パッケージ内の信号伝送線路の特性インピーダンス整合をとることができ。また、その容量成分C1は、第4層配線14A、14Bの厚さt、および第4層配線14Aと第4層配線14Bとの間隔sが要素となって決定されるものである。そのため、これらの値に比べて大きな3層の層間絶縁膜15（図2および図3参照）の膜厚の制御によって容量値を制御する前記実施の形態1に比べて、本実施の形態4における容量成分C1の容量値の制御を容易にすることができる。

#### 【0034】

上記のような本実施の形態4の半導体装置によっても、前記実施の形態1の半導体装置と同様の効果を得ることができる。

#### 【0035】

##### （実施の形態5）

次に、本実施の形態5の半導体装置について説明する。図14および図15は、本実施の形態5の半導体装置の要部断面図である。

#### 【0036】

本実施の形態5の半導体装置は、前記実施の形態1における第1層配線11（図1～図3参照）を省略したものである。すなわち、図14および図15に示すように、半導体基板1のSOI層を接地（基準）電位（GND）と電気的に接続し、第4層配線14Bと電気的に接続する第2層配線12をプラグ17を介してそのSOI層と電気的に接続したるものである。これにより、本実施の形態5においては、前記実施の形態1において第1層配線11と第4層配線14Aとの間で形成した容量成分と同様の容量成分を半導体基板（SOI層）と第4層配線14Aとの間で形成することができる。その結果、本実施の形態5によれば、第1層配線11を形成する工程を省略することができるので、本実施の形態5の半導体装置の製造工程数を低減することができる。すなわち、本実施の形態5の半導体装置の製造に要するTAT（Turn Around Time）を短縮することが可能となる。

#### 【0037】

上記のような本実施の形態5の半導体装置によっても、前記実施の形態1の半導体装置と同様の効果を得ることができる。

## 【0038】

## (実施の形態6)

図16は本発明の実施の形態6の半導体装置(QFN)の構造の一例を示す平面図、図17は図16に示すQFNの構造を示す底面図、図18は図17に示すA-A線に沿って切断した構造を示す断面図、図19は図17に示すB-B線に沿って切断した構造を示す断面図、図20は図16に示すQFNの組み立てにおけるダイボンディング時の角錐コレットとインナリード部の位置関係の一例を示す構成図、図21は図16に示すQFNにおけるワイヤ長さのシミュレーション結果の一例を示す構成図、図22は比較例のQFNにおけるワイヤ長さのシミュレーション結果の一例を示す構成図、図23は図16に示すQFNに組み込まれた半導体チップにおけるパッド配列と追加容量の大きさの一例を示す平面図、図24は図16に示すQFNの組み立てに用いられるリードフレームの構造の一例を示す部分平面図、図25は図16に示すQFNの組み立てにおけるワイヤボンディング時のリード加熱状態の一例を示す部分断面図、図26は図16に示すQFNの組み立てにおけるワイヤボンディング後の構造の一例を示す部分平面図、図27は図16に示すQFNの実装基板への実装状態の一例を示す部分断面図、図28は本発明の実施の形態6の変形例のQFNの構造を示す平面図、図29は図28に示すQFNの構造を示す底面図、図30は図28に示すA-A線に沿って切断した構造を示す断面図、図31は図28に示すB-B線に沿って切断した構造を示す断面図、図32は図28に示すQFNに放熱部材の一例である放熱フィンが取り付けられた構造を示す断面図である。

## 【0039】

図16～図19に示す本実施の形態6の半導体装置は、図24に示すようなりードフレーム41を用いて組み立てられるワイヤボンディングタイプで、小型かつ樹脂封止型の高周波用の半導体パッケージである。すなわち、前記半導体装置は、高周波の信号伝送をプラスチックパッケージとして低価格で実現するものであり、本実施の形態6では、前記半導体装置の一例として、ノンリードタイプの

QFN (Quad Flat Non-leaded Package) 40を取り上げて説明する。

#### 【0040】

QFN40の構成について説明すると、半導体素子および複数のボンディングパッド（電極）42cを有するLSI（Large Scale Integrated circuit）チップである半導体チップ42と、半導体チップ42の正面42aより小さく、かつ半導体チップ42の裏面42bと接合するダイパッド（タブともいう）41aと、半導体チップ42を樹脂封止する封止体43と、封止体43の実装面43aに露出する外部端子部41cと封止体43の内部に配置されるインナリード部41bとからなる複数のリード41dと、半導体チップ42の複数のボンディングパッド42cと複数のインナリード部41bとをそれぞれに電気的に接続する複数のボンディングワイヤ44と、ダイパッド41aと半導体チップ42とを接着するダイボンディング材45とからなり、複数のリード41dのインナリード部41bのそれぞれは封止体43の実装面43aから離れる方向に折り曲げられている。

#### 【0041】

すなわち、QFN40は、複数のリード41dのそれぞれのインナリード部41bが、封止体43の内方に向かって折り曲げられた小タブ構造の小型半導体パッケージである。

#### 【0042】

なお、QFN40は、高周波用の半導体パッケージであり、高速動作によって半導体チップ42から発せられる熱を放熱するため、半導体チップ42と接合するダイパッド41aを、図17に示すように封止体43の実装面43aに露出させた放熱構造を有している。

#### 【0043】

さらに、QFN40は、高周波用の半導体パッケージであるため、高周波信号の入出力の伝送経路の各部におけるインピーダンスの整合をとることをより容易にした構造となっている。すなわち、複数のリード41dそれぞれのインナリード部41bを封止体43の内方に向けて折り曲げたことにより、チップ側のボンディングパッド42cとインナリード部41bのボンディング位置の高さを近づ

け、ボンディングワイヤ44の長さを可能な限り短くし、これにより、ワイヤ部分のインダクタンスの増加を抑えて高周波信号の入出力の伝送経路の各部におけるインピーダンスの整合をとることが容易になる。

## 【0044】

そこで、ボンディングワイヤ44の長さをワイヤボンディング可能な範囲で極力短くするために、チップ端ーインナリード部端の距離をパッケージ組み立て可能な範囲でできる限り短くした構造となっている。

## 【0045】

図20は、チップ端ーインナリード部端の距離（R）と角錐コレット46の関係を示したものである。

## 【0046】

まず、チップ端ーインナリード部端の距離（R）をなるべく小さくするには、ダイボンディングの位置精度を高めなければならない。そこで、ダイボンディング時に半導体チップ42を吸着搬送する手段として角錐コレット46を用いることが好ましい。角錐コレット46は、平坦コレットに比較して、半導体チップ42の主面42aの外周端を支持するため半導体チップ42を配置する際の位置精度を高めることができ、ダイボンディングの位置精度を±0.05mmとすることができる。

## 【0047】

ただし、角錐コレット46を採用するにあたり、角錐コレット46の外周端部がインナリード部41bの先端に干渉しないように角錐コレット46の外周端部の半導体チップ42からの突出量（Q）を極力小さくする必要がある。

## 【0048】

そこで、半導体チップ42を吸着保持可能な範囲で、突出量（Q）が最も小さくなるような角錐コレット46の接触面46aの傾斜角度（θ）を算出すると、 $\theta = 45^\circ$ 以下となった。

## 【0049】

これは、チップ吸着時に角錐コレット46の半導体チップ42に接触する接触面46aと、角錐コレット46の垂直方向の軸線46bとの成す角度（前記傾斜

角度 $\theta$ ) を $45^\circ$  以下にすると、角錐コレット4 6 の前記突出量 (Q) を小さくできるが、 $45^\circ$  より大幅に小さくなると、チップ吸着力が弱まるため、傾斜角度 ( $\theta$ ) を $45^\circ$  に設定することが好ましい。

#### 【0050】

そこで例えば、傾斜角度 ( $\theta$ ) を  $\theta = 45^\circ$  とすると、チップ端ー角錐コレットの外周端部の距離 (Q) は、  $Q = 0.13\text{ mm}$  とする事が出来る。

#### 【0051】

また、インナリード部4 1 b の先端位置の精度は $\pm 0.025\text{ mm}$  であり、さらに、ダイボンディングの位置精度は $\pm 0.05\text{ mm}$  であるため、したがって、角錐コレット4 6 の外周端部からインナリード部4 1 b の先端までの距離を (P) とすると、(P) として最低限必要な寸法は、  $P = 0.025\text{ mm} + 0.05\text{ mm} = 0.075\text{ mm}$  となる。

#### 【0052】

さらに、チップ端ーインナリード部端の距離 (R) は、  $(R) = (Q) + (P)$  であり、  $(R) = (Q) + (P) = 0.13\text{ mm} + 0.075\text{ mm} = 0.205\text{ mm}$  となる。

#### 【0053】

したがって、チップ端ーインナリード部端の距離 (R) を $0.205\text{ mm}$  以上狭くするのは困難なことが分かり、距離 (R) の最低値の一例を $0.205\text{ mm}$  とする。

#### 【0054】

次に、本実施の形態6 のQ F N 4 0 では、ボンディングワイヤ4 4 の長さをなるべく短くするために、半導体チップ4 2 のボンディングパッド4 2 c の高さとインナリード部4 1 b のボンディング位置の高さがより近づくようにインナリード部4 1 b を上方 (封止体4 3 の実装面4 3 a から離れる方向) に折り曲げており、このような状態でボンディングワイヤ4 4 の長さをシミュレーションによって求めたものが図2 1 である。

#### 【0055】

図2 1 に示すシミュレーションでは、ボンディングワイヤ4 4 の平面長さ (平

面への投影長さ)を(S)とし、高さを(T)とし、傾斜部長さを(U)とし、さらにボンディングワイヤ44の平面長さの目標値を0.4mm以下とし、実際長さの目標値を0.65mm以下として、かつ高周波信号の伝送経路のインピーダンスや半導体チップ42のマイクロストリップラインの容量などの条件を設定してシミュレーションを行うと、平面長さ(S)が(S)=0.385mm、実際長さ(T+U)=0.617mmとなり、何れも目標値範囲内に収まった。

## 【0056】

したがって、ボンディングワイヤ44の長さを、一例として0.65mm以下とすることが望ましい。

## 【0057】

なお、図22は、図21に対する比較例として、インナリード部41bに折り曲げが形成されていない場合をシミュレーションしたものである。すなわち、ダイパッド41aとインナリード部41bが同じ高さに配置されており、したがって、半導体チップ42のボンディングパッド42cの位置よりインナリード部41bのボンディング位置の高さの方が遙かに下方の場合である。

## 【0058】

図22に示す比較例のシミュレーションでは、傾斜部長さ(U)が(U)=0.562mmとなり、さらに実際長さ(T+U)=0.762mmとなって、実際長さの目標値0.65mm以下より大幅に外れてしまう。

## 【0059】

したがって、高周波動作する半導体装置用のパッケージとして、インピーダンス整合を容易にするために、インナリード部41bを折り曲げる事が非常に有効であることがわかる。

## 【0060】

次に、QFN40は、小タブ構造の半導体パッケージである。

## 【0061】

すなわち、ダイパッド41aの大きさが半導体チップ42の主面42aより小さく、ダイパッド41aが半導体チップ42の外周部より引っ込んだ構造である。

## 【0062】

これにより、図25に示すように、ワイヤボンディング時のヒートブロック47とダイパッド41aの位置マージン47aを確保することができ、ワイヤボンディング時のヒートブロック47とダイパッド41aの干渉を防ぐことができる。

## 【0063】

さらに、小タブ構造であることにより、図24に示すリードフレーム41の加工においてもインナリード部41bの曲げ成形を行う際のマージンを確保することができる。

## 【0064】

また、QFN40のダイパッド41aは、図17に示すように、その4つの角部においてそれぞれ吊りリード41eによって支持されており、それぞれの吊りリード41eには、それぞれの実装側の面の外部端子部41cと隣接した箇所に図18に示す凹部41fが形成されている。

## 【0065】

樹脂封止の際には、封止用樹脂が凹部41f内に入り込んで、図17に示すように封止体43の実装面43aにおいて吊りリード41eの両側の外部端子部41cに隣接する箇所が封止用樹脂内に隠れる構造になっている。

## 【0066】

これによって、QFN40を、図27に示すように実装基板49に半田実装した際の吊りリード41eと、これに隣接する外部端子部41cとの半田ショートを防止できる。

## 【0067】

次に、本実施の形態6のQFN40において、例えば、10GHzの高周波信号の伝送を実現しようとすると、ボンディングワイヤ44を短くするだけでは困難であるため、図1～図3に示す実施の形態1で説明したようなマイクロストリップ線路が形成された半導体チップ42を採用する。

## 【0068】

この場合の半導体チップ42は、接地電位と電気的に接続された第1層配線（

第1配線) 11と、第1層配線11上に形成された層間絶縁膜(第1絶縁膜)15と、層間絶縁膜15上に形成され、かつ信号伝送線路である第4層配線(第2配線)14Aとを有しており、さらに第4層配線14Aは、第1領域C A P Aと第2領域31と第3領域とを含んでおり、また、第4層配線14Aの第2領域31は、第1領域C A P Aおよび前記第3領域の間に位置し、かつ第4層配線14Aの第1領域C A P Aにはボンディングワイヤ44が接続されるとともに、第4層配線14Aの第2領域31における配線幅は前記第3領域における配線幅よりも大きく形成されている。

## 【0069】

このようにしてマイクロストリップ線路が形成された半導体チップ42を用い、かつボンディングワイヤ44をボンディング可能な限り短くしてワイヤ部分のインダクタンスの増加を減らすことにより、高周波信号の入出力の伝送経路の各部におけるインピーダンスの整合をとることが可能になる。

## 【0070】

すなわち、半導体チップ42におけるインピーダンスと、ワイヤ部分におけるインピーダンスと、リード41dにおけるインピーダンスと、実装基板49の端子49a(図27参照)におけるインピーダンスとで整合を図ることができる。例えば、それぞれのインピーダンスを $50\Omega$ にそろえる。これにより、高周波信号の反射を無くして信号にノイズがのることを防げる。

## 【0071】

また、ボンディングワイヤ44によるインダクタンスの増加を抑え、インピーダンスを整合するために追加する容量を小さくする事により、出力における高周波信号の損失を抑えることができる。

## 【0072】

なお、図23は、36ピン用の半導体チップ42のパッドレイアウトを一例として図示したものであり、36ピンのうちの4ピンを10GHzの高周波用の信号端子として用いた場合である。図23では、追加容量42gが形成されたボンディングパッド42cがそれぞれ高周波用のパッドであり、図に向かって左側の列に配置された4つの高周波用のパッドが入力用のものであり、一方、向かって

右側の列に配置された4つの高周波用のパッドが出力用のものである。

#### 【0073】

また、図23に示す36個の各パッドにおいて、それぞれ斜線記載のパッドがAC信号用パッド42d、点々記載のパッドがACグラウンド用パッド42e、白抜き記載のパッドがDC用パッド42fを示しており、それぞれのパッドに記載された追加容量42gの矢印の大きさが容量の大きさを表している。

#### 【0074】

なお、線路インピーダンスZは、インダクタンスをLとし、容量をCとすると、簡易的に $Z = (L/C)^{1/2}$ と表すことができる。

#### 【0075】

そこで、本実施の形態6のQFN40では、ボンディングワイヤ44の長さに応じて、インピーダンス（Z）を整合させるために容量（C）を微小変化させてチップ上のマイクロストリップ線路の容量を変えている。すなわち、図26に示すように各辺のワイヤ列においてインナリード部41bの先端の配列に起因して角部に向かうワイヤほど長くなる。

#### 【0076】

したがって、QFN40においては、ボンディングワイヤ44の長さに応じて、図1に示す第1層配線（第1配線）11上の第4層配線（第2配線）14AのCAPA（第1領域）の面積の大きさを変えてチップ内容量の大きさを変えており、このようにして各線路のインピーダンスの整合を図ることが可能になる。

#### 【0077】

また、図23に示すように、半導体チップ42のパッドレイアウトにおいて、高速信号用の入力電極（向かって左側の列のAC信号用パッド42d）と対向した位置に高速信号用の出力電極（向かって右側の列のAC信号用パッド42d）が配置されている。

#### 【0078】

このようにして入力側の高速信号用パッドと出力側の高速信号用パッドとを対向させて配置することにより、信号の流れを円滑にすることができ、出力側の損失を抑えることができる。

## 【0079】

なお、本実施の形態6におけるQFN40の各リード41dやダイパッド41aは、例えば、厚さ0.2mmの銅合金などから形成され、また、封止体43は、例えば、熱硬化性樹脂のエポキシ樹脂などによって形成されている。

## 【0080】

さらに、ボンディングワイヤ44は、例えば、金線である。

## 【0081】

次に、本実施の形態6のQFN40の製造方法について説明する。

## 【0082】

まず、半導体チップ42の正面42aより小さいダイパッド41aと、外部端子部41cおよびインナリード部41bからなる複数のリード41dとを有しており、インナリード部41bは、外部端子部41cが配列する面から離れる方向に折り曲げられている図24に示すリードフレーム41を準備する。

## 【0083】

一方、半導体素子および複数のボンディングパッド42cを有する半導体チップ42を準備する。

## 【0084】

なお、半導体チップ42として、図1に示すような第1層配線（第1配線）11と、第4層配線14Aと、これらに挟まれた層間絶縁膜（第1絶縁膜）15とから成るマイクロストリップ線路が、図23に示すような高周波用信号用のパッド（AC信号用パッド42d）に設けられたものを用いる。

## 【0085】

その際、半導体チップ42では、ボンディングワイヤ44の長さに応じて、図1に示す第1層配線11上の第4層配線14Aの第1領域CAPAの面積の大きさを変えてチップ内容量の大きさを変えており、このようにして各線路のインピーダンスの整合を図る。

## 【0086】

すなわち、半導体チップ42のボンディングパッド42cには、図23に示すような追加容量42gが形成されたマイクロストリップ線路と接続された高周波

信号用のパッド（AC信号用パッド42d）が含まれており、インピーダンスの整合を図るために、接続されるボンディングワイヤ44の長さに応じて追加容量42gの大きさもパッドごとに異なっている。

#### 【0087】

したがって、一辺のパッド列において中央寄りのパッドの方がインナリード部41bの先端との距離の関係でボンディングワイヤ44の長さが短いため、比較的必要な追加容量42gの大きさが小さく、端部寄りのパッドの方がボンディングワイヤ44の長さが長いため、必要な追加容量42gの大きさが大きくなる。

#### 【0088】

さらに、入力側の高周波信号のパッドに対向する位置に出力側の高周波信号のパッドが配置されており、高周波信号の流れがスムーズになるようにそれぞれ配置されている。

#### 【0089】

その後、半導体チップ42をダイパッド41aより迫り出させて半導体チップ42の裏面42bとダイパッド41aとを接合するダイボンディングを行う。

#### 【0090】

その際、接触面46aの傾斜角度が45°以下の角錐コレット46を用いて半導体チップ42を吸着保持してダイパッド41a上に配置することにより、ダイボンディングの位置精度を±0.05mmに抑えることができるとともに、図20に示すように角錐コレット46の外周端をインナリード部41bの先端に干渉させることなく角錐コレット46の昇降を行うことができる。

#### 【0091】

なお、半導体チップ42はダイボンディング材45を介してダイパッド41a上に接着させる。

#### 【0092】

その後、半導体チップ42のボンディングパッド42cとこれに対応するリードフレーム41のインナリード部41bとを、図26に示すようにボンディングワイヤ44によって電気的に接続するワイヤボンディングを行う。

#### 【0093】

その際、図25に示すように、ダイパッド41aと各リード41dとをヒートブロック47上に配置した際に、QFN40はダイパッド41aの大きさが半導体チップ42の正面42aより小さな小タブ構造であるため、ダイパッド41aが半導体チップ42の外周部より引っ込んだ状態となり、ヒートブロック47とダイパッド41aの位置マージン47aを確保することができる。

#### 【0094】

これにより、ワイヤボンディング時のヒートブロック47とダイパッド41aとが干渉することを防止できる。

#### 【0095】

なお、図26に示すように、インナリード部41bの先端の位置に起因してワイヤ列の角部に向かうほどそれぞれのボンディングワイヤ44の長さは長くなる。

#### 【0096】

したがって、図23に示すように高周波信号用のパッド（AC信号用パッド42d）は、半導体チップ42の角部付近には配置しない方が好ましく、また各伝送経路におけるインピーダンスの整合を図るために、高周波信号用のパッド（AC信号用パッド42d）のうち、角部の近傍に配置された高周波信号用のパッドほど追加容量42gを大きく設定しなければならない。

#### 【0097】

その後、樹脂封止を行って封止体43を形成する。

#### 【0098】

ここでは、図24に示すモールドライン41hに沿って樹脂封止を行う。

#### 【0099】

その際、複数のリード41dそれぞれの外部端子部41cとダイパッド41aの裏面41gとが封止体43の実装面43aに露出され、かつそれぞれのインナリード部41bが内部に配置されるように半導体チップ42、各ボンディングワイヤ44および複数のインナリード部41bを樹脂封止する。

#### 【0100】

その後、複数のリード41dおよび各吊りリード41eをリードフレーム41

の枠部41jから切断分離してQFN40の組み立て完了となる。

#### 【0101】

次に、図27に示すQFN40の実装基板49への実装構造について説明する。

#### 【0102】

高周波信号を処理する半導体チップ42からは、大量の熱が発せられるが、その放熱を封止体43の実装面43aに露出したダイパッド41aの裏面41gを介して行う。

#### 【0103】

すなわち、封止体43の実装面43aに露出した各外部端子部41cを半田48を介して実装基板49の端子49aに接続するとともに、同じく封止体43の実装面43aに露出したダイパッド41aの裏面41gを半田48を介して実装基板49の端子49aに接続する。

#### 【0104】

これによって、QFN40では、封止体43の実装面43a側から実装基板49に熱を逃がすことができる。

#### 【0105】

本実施の形態6のQFN40によれば、高周波信号用のパッド（AC信号用パッド42d）に接続するマイクロストリップ線路の容量として追加容量42gが設けられた半導体チップ42を採用することにより、ボンディングワイヤ44によるインダクタンスの増加を補償し、インピーダンスを整合する場合において、ボンディングワイヤ44の長さをできるだけ短くすることにより、ワイヤ部分のインダクタンスの増加を抑えることができ、高周波信号の入出力の伝送経路の各部におけるインピーダンスの整合をとるためのチップ内配線のマイクロストリップ線路によって形成される容量（△C）を小さくできる。

#### 【0106】

その結果、配線容量による出力信号の損失を小さくすることができ、ボンディングワイヤ44を用いた小型で、かつ安価な樹脂封止型の高周波用のQFN40（高速LSI）を実現できる。

## 【0107】

また、本実施の形態6においては、封止体43の実装面43aに、複数の外部端子41cが露出する構造であるために、封止体の周囲に突出する外部端子を有するQFP (Quad Flat Package)などの形態に比べて、ボンディングワイヤ44とインナーリード部41bが接続した部分から、外部端子41cまでの信号伝送線路をより短くする事ができ、インピーダンスの増加を抑える事が出来る。

## 【0108】

次に、本実施の形態6の変形例の半導体装置について説明する。

## 【0109】

図28～図31は、本実施の形態6の変形例の半導体装置の構造を示すものであり、ボンディングワイヤ44を用いた小型で、かつ安価な樹脂封止型の高周波用のQFN50である。

## 【0110】

前記QFN40との相違点は、図28および図31に示すようにダイパッド41aの裏面41gが封止体43の実装面43aと反対側の表面43bに露出している点である。

## 【0111】

したがって、図29に示すように、封止体43の実装面43a側には、複数の外部端子部41cと吊りリード41eの一部だけが露出している。

## 【0112】

このように封止体43の表面43b側にダイパッド41aを露出させることにより、種々の放熱部材や冷却部材をダイパッド41aの露出部（裏面41g）に直接取り付けることができるため、ダイパッド41aが封止体43の実装面43aに露出しているQFN40に比較して放熱性をさらに向上できる。

## 【0113】

前記放熱部材の一例として、放熱フィン51を取り付けた状態を示したものが図32である。なお、前記放熱部材や冷却部材としては、放熱フィン51以外に、冷却パイプあるいは冷却ジャケットなどを取り付けてもよい。

## 【0114】

さらに、封止体43の表面43b側にダイパッド41aを露出させることにより、QFN40の場合のようにダイパッド41aと接続させる基板側の端子49aを実装基板49に設けなくて済むため、実装基板49上の配線の引き回しの自由度を向上させることができるとともに、実装基板49の実装密度の向上を図ることができる。

## 【0115】

なお、QFN50によって得られるその他の効果については、QFN40と同様であるため、その重複説明は省略する。

## 【0116】

## (実施の形態7)

図33は本発明の実施の形態7の半導体装置(QFP)の実装基板への実装状態の一例を示す部分断面図である。

## 【0117】

図33に示す本実施の形態7の半導体装置は、ワイヤボンディングタイプで、かつ樹脂封止型の高周波用の半導体パッケージであり、実施の形態6のQFN40と同様に高周波の信号伝送をプラスチックパッケージとして低価格で実現するものであり、本実施の形態7では、前記半導体装置の一例として、QFP(Quad Flat Package)52を取り上げて説明する。

## 【0118】

QFP52の構成について説明すると、半導体素子および複数のボンディングパッド42cを有する半導体チップ42と、半導体チップ42の正面42aより小さく、かつ半導体チップ42の裏面42bと接合するダイパッド41aと、半導体チップ42を樹脂封止する封止体43と、封止体43の側面43cから外部に露出する外部端子部であるアウタリード41iと封止体43の内部に配置されるインナリード部41bとからなり、かつアウタリード41iにこれが配列される面から離れる方向に折り曲げられた箇所を有する複数のリード41dと、半導体チップ42の複数のボンディングパッド42cと複数のインナリード部41bとを各々に電気的に接続する複数のボンディングワイヤ44とを有している。

## 【0119】

さらに、QFP52に組み込まれる半導体チップ42は、図1～図3に示すように、接地電位と電気的に接続された第1層配線（第1配線）11と、第1層配線11上に形成された層間絶縁膜（第1絶縁膜）15と、層間絶縁膜15上に形成され、かつ信号伝送線路である第4層配線（第2配線）14Aとを有しており、さらに第4層配線14Aは、第1領域CAPAと第2領域31と第3領域とを含んでおり、また、第4層配線14Aの第2領域31は、第1領域CAPAおよび前記第3領域の間に位置し、かつ第4層配線14Aの第1領域CAPAにはボンディングワイヤ44が接続されるとともに、第4層配線14Aの第2領域31における配線幅は前記第3領域における配線幅よりも大きく形成されている。

## 【0120】

このようにして、本実施の形態7においても、各リード41dのアウタリード41iにこれらが配列される面から離れる方向に折り曲げられた箇所が形成されているため、半導体チップ42のボンディングパッド42cの高さとインナーリード部41bのボンディング位置の高さとを近づけてボンディングワイヤ44をボンディング可能な限り短くすることができ、その結果、ワイヤ部分のインダクタンスの増加を減らすことができる。さらに、マイクロストリップ線路が形成された半導体チップ42を用いることにより、例えば、10GHzの高周波信号の入出力の伝送経路の各部におけるインピーダンスの整合をとることができること。

## 【0121】

したがって、本実施の形態7のQFP52においても、実施の形態6のQFN40と同様の作用効果を得ることができる。

## 【0122】

また、実施の形態6のQFN50と同様に、封止体43の実装面43aと反対側の表面43b側にダイパッド41aの裏面41gを露出させることにより、QFP52の放熱性をさらに向上させるとともに、実装基板49の実装密度の向上を図ることができる。

## 【0123】

なお、QFP52の組み立て主要手順については、実施の形態6のQFN40

とほぼ同じであり、ダイボンディング時に図20に示すように角錐コレット46を用いた方が好ましいことは言うまでもない。

#### 【0124】

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

#### 【0125】

前記実施の形態においては、第1層配線と第4層配線との間に2層の配線が形成されている場合について例示したが、1層の配線または3層以上の配線としてもよい。

#### 【0126】

また、前記実施の形態7では、QFP52の各リード41dにおいて、アウターリード41iが配列される面から離れる方向に折り曲げられた箇所が、封止体43の外部のアウターリード41iに設けられている場合を説明したが、前記折り曲げの箇所は、アウターリード41iからインナーリード部41bに亘る領域の何れかに形成されればよく、例えば、インナーリード部41bのみに形成されていてもよい。

#### 【0127】

##### 【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下の通りである。

(1) 接地電位と電気的に接続する第1配線およびボンディングワイヤが接続されるパッドとなる第2配線を容量電極とし、第1配線と第2配線との間の第1絶縁膜を容量絶縁膜とする容量成分を形成するので、高速LSIが形成された半導体チップを搭載するパッケージをワイヤボンディング法を用いて形成する場合においてもパッケージ内の信号伝送線路の特性インピーダンス整合をとることができる。

(2) インナーリード部が封止体の実装面から離れる方向に折り曲げられていることにより、ボンディングワイヤの長さを短くすることができる。これにより、ワ

イヤ部分のインダクタンスの増加を抑えることができ、高周波信号の入出力の伝送経路の各部におけるインピーダンスの整合をとるためのチップ内配線のマイクロストリップラインによって形成される容量を小さくできる。その結果、配線容量による出力信号の損失を小さくすることができ、ボンディングワイヤを用いた小型で、安価な樹脂封止型の高周波用の半導体装置を実現できる。

【図面の簡単な説明】

【図1】

本発明の実施の形態1である半導体装置の要部平面図である。

【図2】

図1中のA-A線に沿った断面図である。

【図3】

図1中のB-B線に沿った断面図である。

【図4】

本発明の実施の形態1である半導体装置の要部断面図である。

【図5】

本発明の実施の形態1である半導体装置における信号伝送線路の信号反射特性の容量依存性について示す説明図である。

【図6】

本発明の実施の形態2である半導体装置の要部平面図である。

【図7】

図6中のA-A線に沿った断面図である。

【図8】

図6中のB-B線に沿った断面図である。

【図9】

本発明の実施の形態3である半導体装置の要部平面図である。

【図10】

図9中のA-A線に沿った断面図である。

【図11】

図9中のB-B線に沿った断面図である。

【図12】

本発明の実施の形態4である半導体装置の要部平面図である。

【図13】

図12中のC-C線に沿った断面図である。

【図14】

本発明の実施の形態5である半導体装置の要部断面図である。

【図15】

本発明の実施の形態5である半導体装置の要部断面図である。

【図16】

本発明の実施の形態6の半導体装置(QFN)の構造の一例を示す平面図である。

【図17】

図16に示すQFNの構造を示す底面図である。

【図18】

図17に示すA-A線に沿って切断した構造を示す断面図である。

【図19】

図17に示すB-B線に沿って切断した構造を示す断面図である。

【図20】

図16に示すQFNの組み立てにおけるダイボンディング時の角錐コレットとインナリード部の位置関係の一例を示す構成図である。

【図21】

図16に示すQFNにおけるワイヤ長さのシミュレーション結果の一例を示す構成図である。

【図22】

比較例のQFNにおけるワイヤ長さのシミュレーション結果の一例を示す構成図である。

【図23】

図16に示すQFNに組み込まれた半導体チップにおけるパッド配列と追加容量の大きさの一例を示す平面図である。

【図24】

図16に示すQFNの組み立てに用いられるリードフレームの構造の一例を示す部分平面図である。

【図25】

図16に示すQFNの組み立てにおけるワイヤボンディング時のリード加熱状態の一例を示す部分断面図である。

【図26】

図16に示すQFNの組み立てにおけるワイヤボンディング後の構造の一例を示す部分平面図である。

【図27】

図16に示すQFNの実装基板への実装状態の一例を示す部分断面図である。

【図28】

本発明の実施の形態6の変形例のQFNの構造を示す平面図である。

【図29】

図28に示すQFNの構造を示す底面図である。

【図30】

図28に示すA-A線に沿って切断した構造を示す断面図である。

【図31】

図28に示すB-B線に沿って切断した構造を示す断面図である。

【図32】

図28に示すQFNに放熱部材の一例である放熱フィンが取り付けられた構造を示す断面図である。

【図33】

本発明の実施の形態7の半導体装置(QFP)の実装基板への実装状態の一例を示す部分断面図である。

【符号の説明】

1 半導体基板

1 1 第1層配線(第1配線)

1 2 第2層配線

- 1 3 第3層配線
- 1 4 A 第4層配線（第2配線）
- 1 4 B 第4層配線（第3配線）
- 1 5 層間絶縁膜（第1絶縁膜）
- 1 7 プラグ
- 1 8 保護膜
- 1 9 開口部
- 2 1 半導体チップ
- 2 2 A ダイパッド
- 2 2 B アウターリード
- 2 3 ワイヤ
- 2 4 エポキシ樹脂
- 3 1 領域（第2領域）
- 3 2 領域
- 4 0 QFN（半導体装置）
- 4 1 リードフレーム
- 4 1 a ダイパッド
- 4 1 b インナーリード部
- 4 1 c 外部端子部
- 4 1 d リード
- 4 1 e 吊りリード
- 4 1 f 凹部
- 4 1 g 裏面
- 4 1 h モールドライン
- 4 1 i アウターリード（外部端子部）
- 4 1 j 枠部
- 4 2 半導体チップ
- 4 2 a 主面
- 4 2 b 裏面

4 2 c ボンディングパッド（電極）

4 2 d A C信号用パッド

4 2 e A Cグラウンド用パッド

4 2 f D C用パッド

4 2 g 追加容量

4 3 封止体

4 3 a 実装面

4 3 b 表面（反対側の面）

4 3 c 側面

4 4 ボンディングワイヤ

4 5 ダイボンディング材

4 6 角錐コレット

4 6 a 接触面

4 6 b 垂直方向の軸線

4 7 ヒートブロック

4 7 a 位置マージン

4 8 半田

4 9 実装基板

4 9 a 端子

5 0 Q F N（半導体装置）

5 1 放熱フィン（放熱部材）

5 2 Q F P（半導体装置）

C A P A 領域（第1領域）

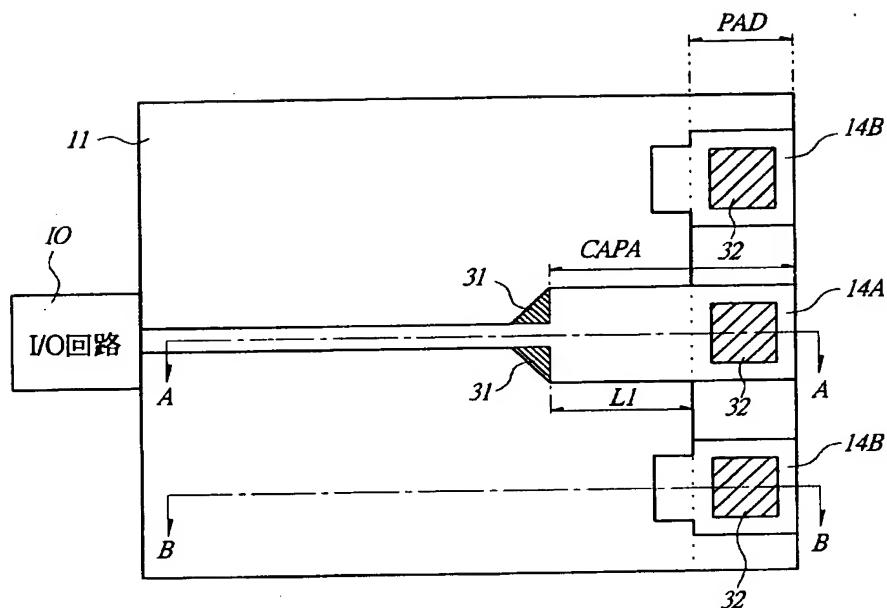
I O I/O回路（第1回路）

P A D 領域（パッド領域）

【書類名】 図面

【図1】

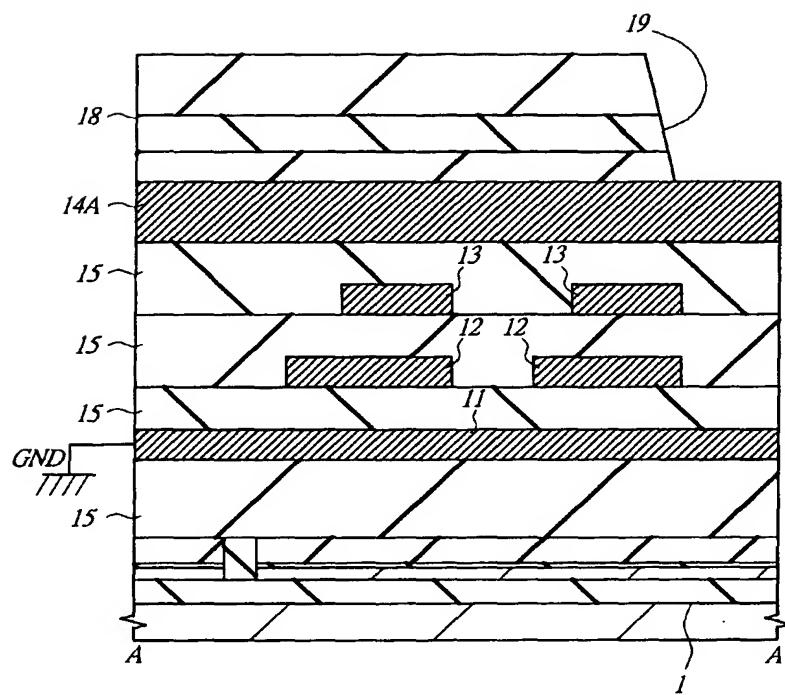
図 1



11: 第1層配線(第1配線)  
14A: 第4層配線(第2配線)

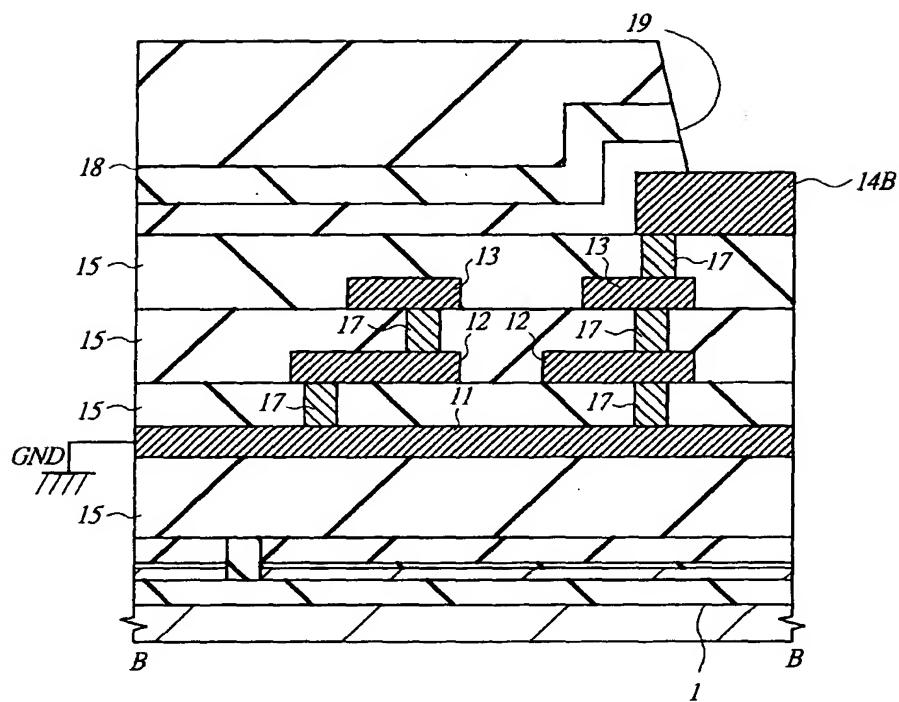
【図2】

図 2



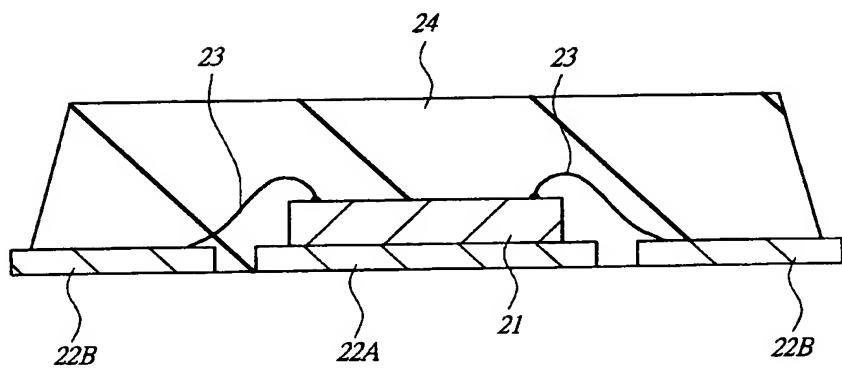
【図3】

図 3



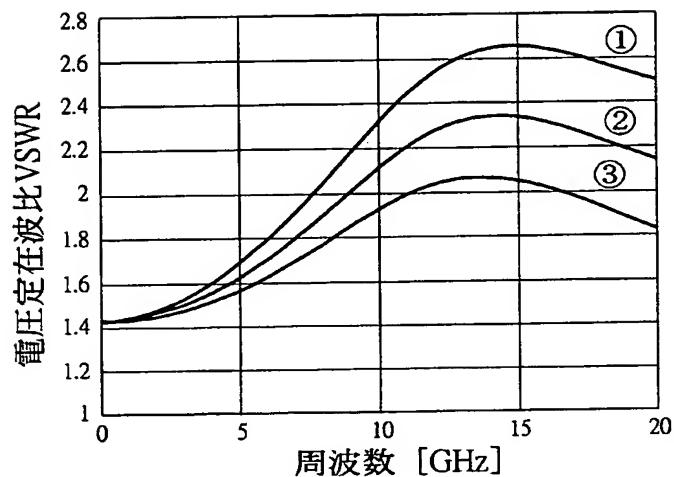
【図4】

図4



【図5】

図5

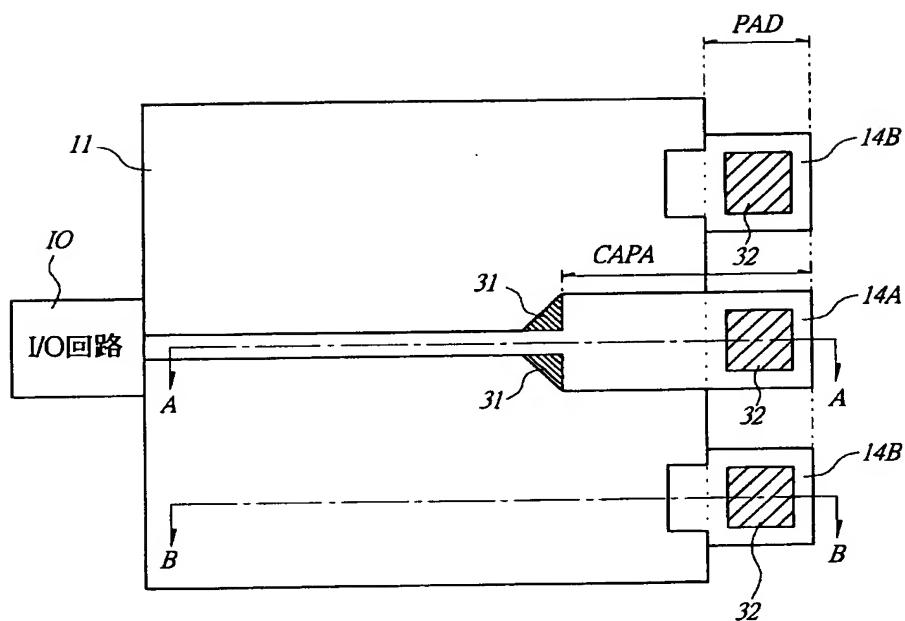


ワイヤーインダクタンス: 1nH

No.	L	VSWR (≤12GHz)	伝送損失 (≤12GHz)	判定	理由
①	0 μm	2.7	-0.1dB	×	VSWR大
②	50 μm	2.4	-0.3dB	○	最適
③	100 μm	2.1	-0.5dB	×	損失大

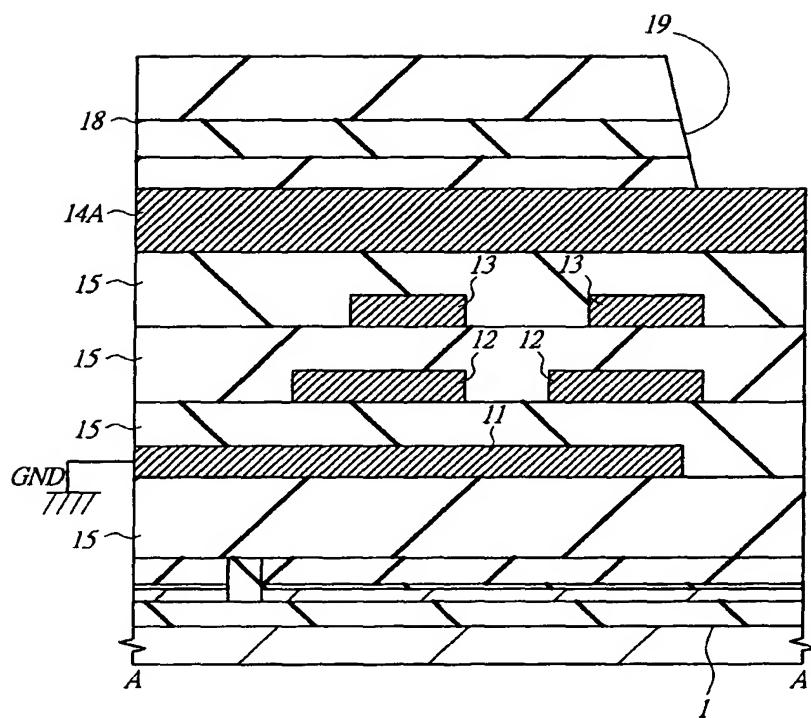
【図6】

図 6



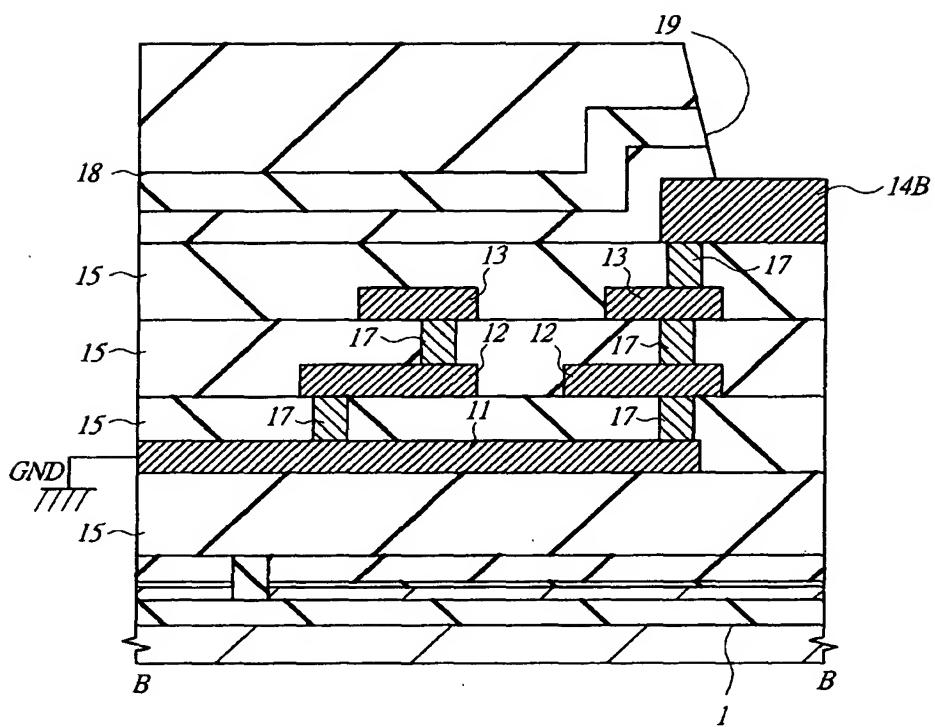
【図7】

図 7



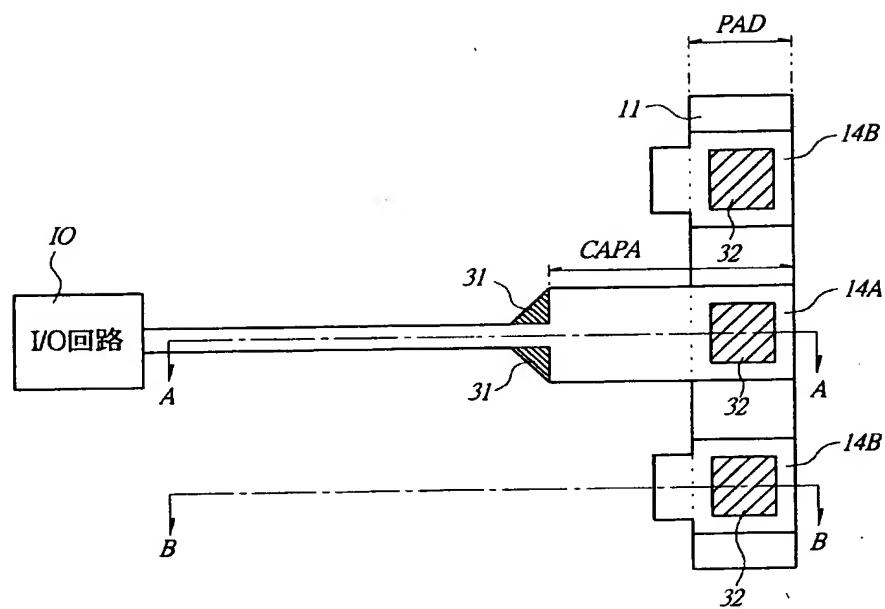
【図8】

図 8



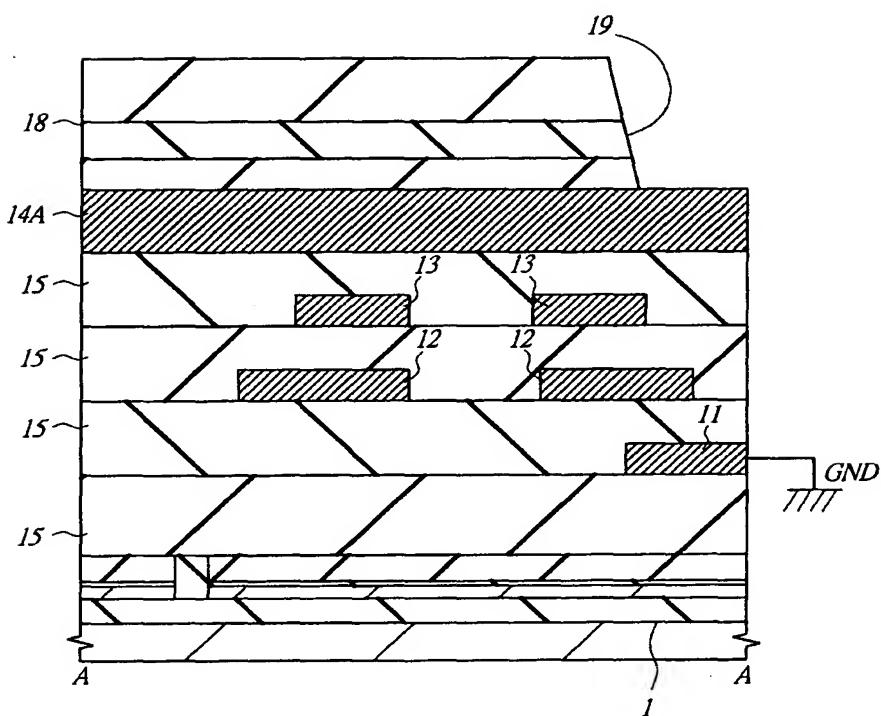
【図9】

図 9



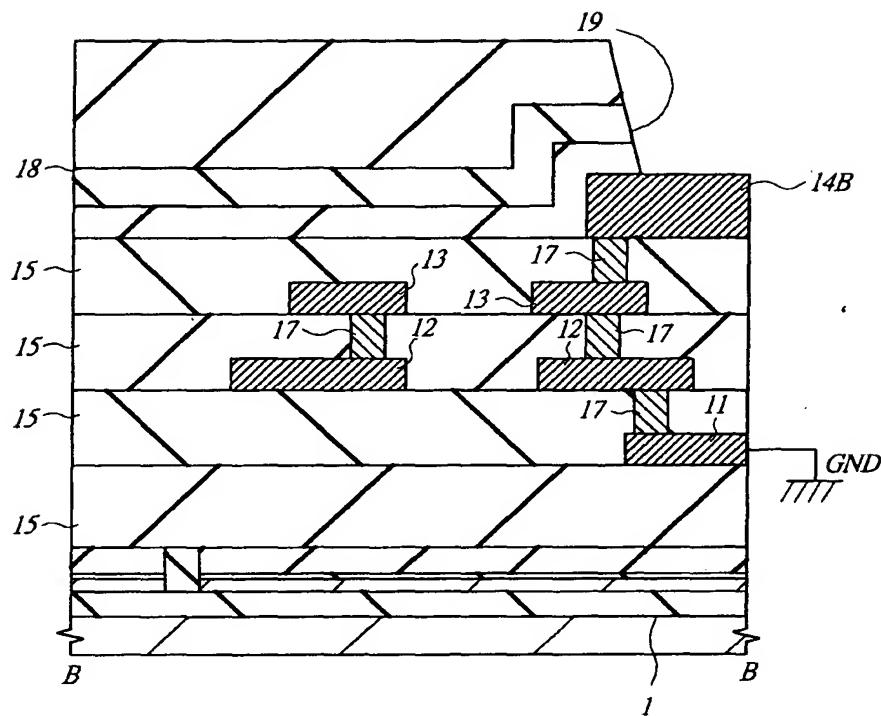
【図10】

図 10



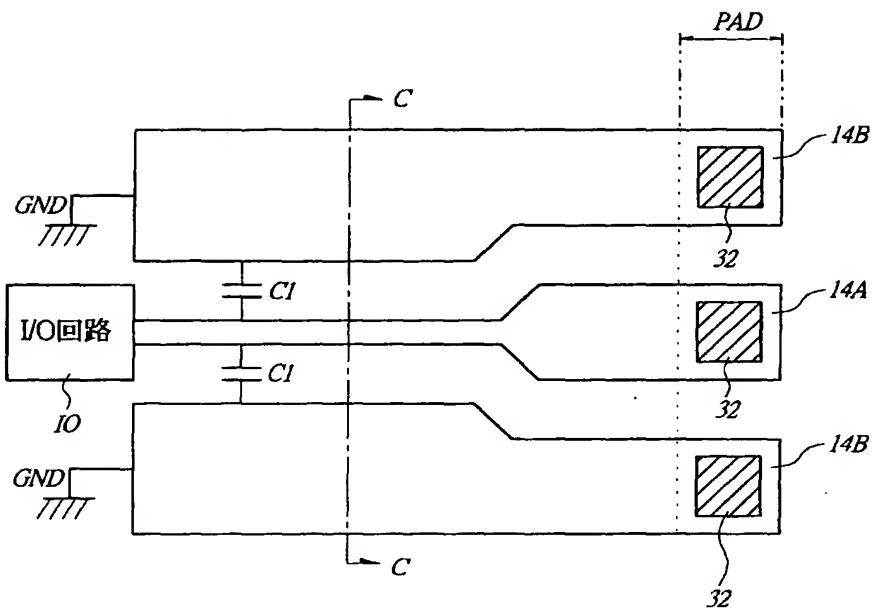
【図11】

図 11



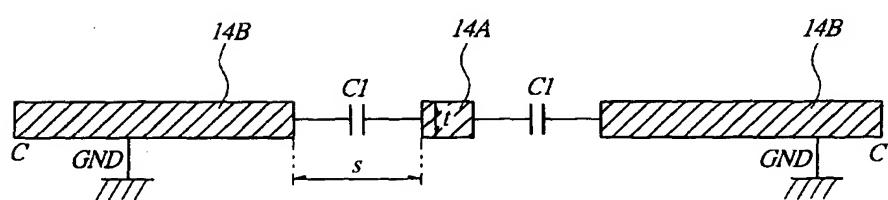
【図12】

図 12



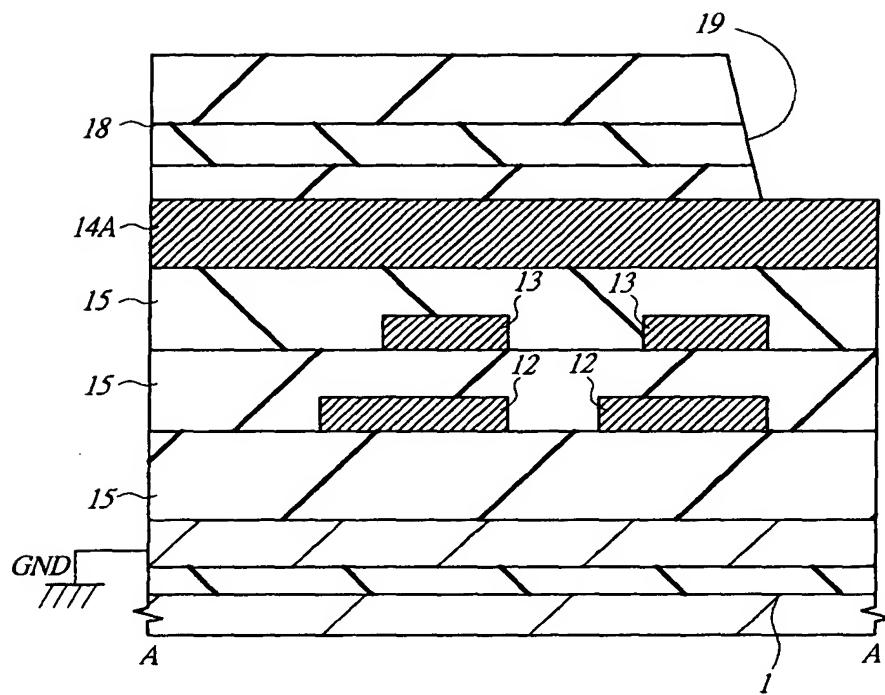
【図13】

図 13



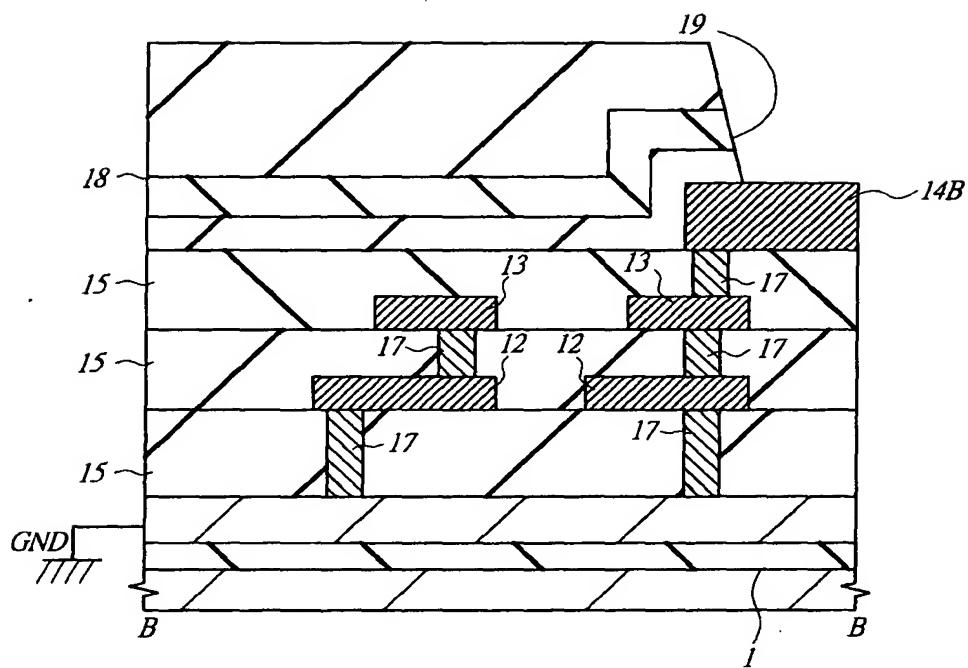
【図14】

図 14



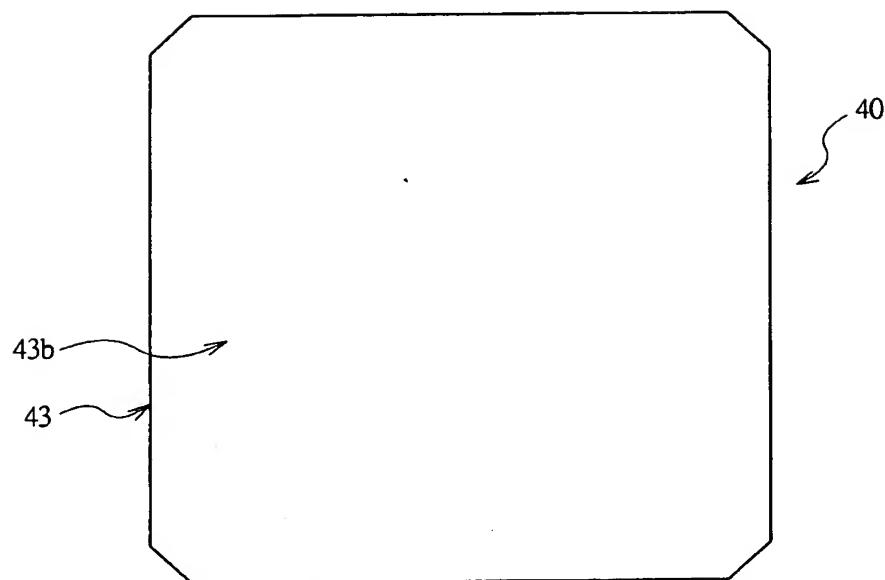
【図15】

図 15



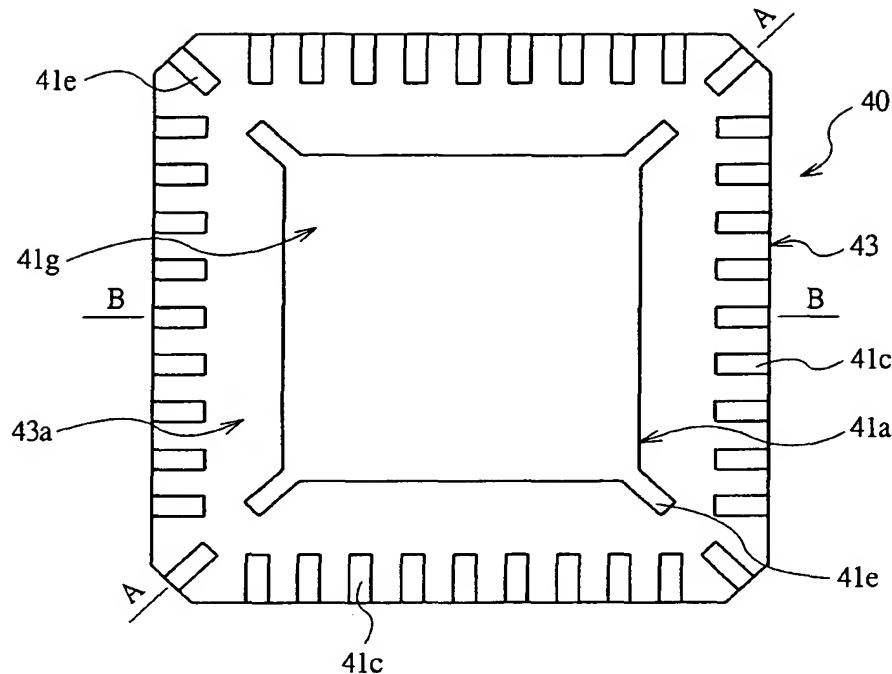
【図16】

図16



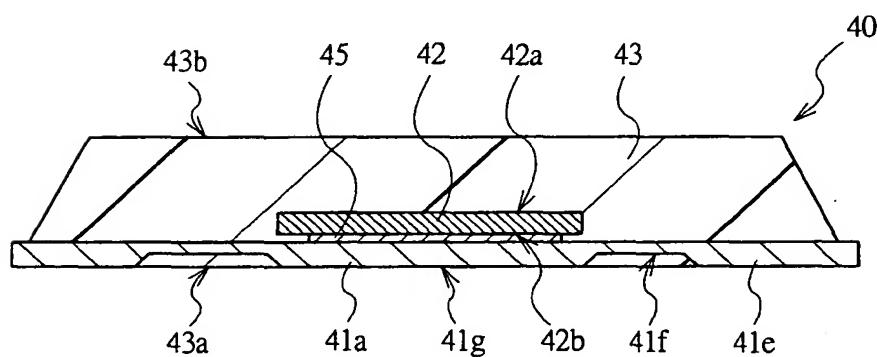
【図17】

図17



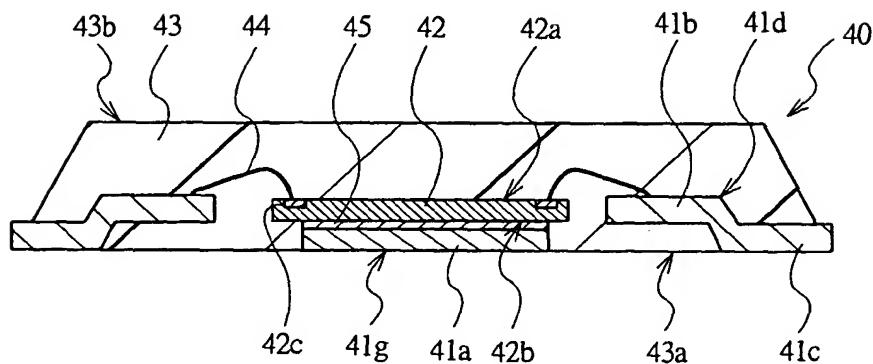
【図18】

図18



【図19】

図19

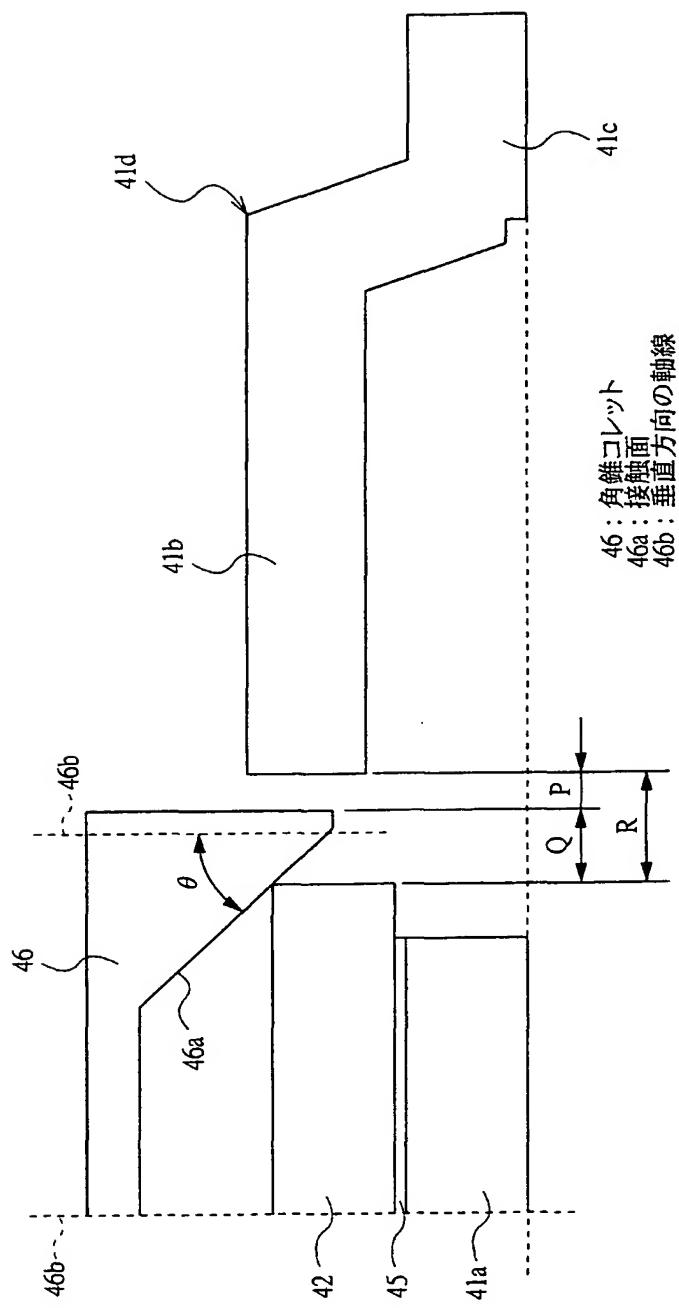


40 : QFN(半導体装置)  
41a : ダイパッド  
41b : インナリード部  
41c : 外部端子部  
41d : リード  
42 : 半導体チップ  
42a : 主面  
42b : 裏面  
42c : ボンディングパッド(電極)

43 : 封止体  
43a : 実装面  
43b : 表面(反対側の面)  
44 : ボンディングワイヤ

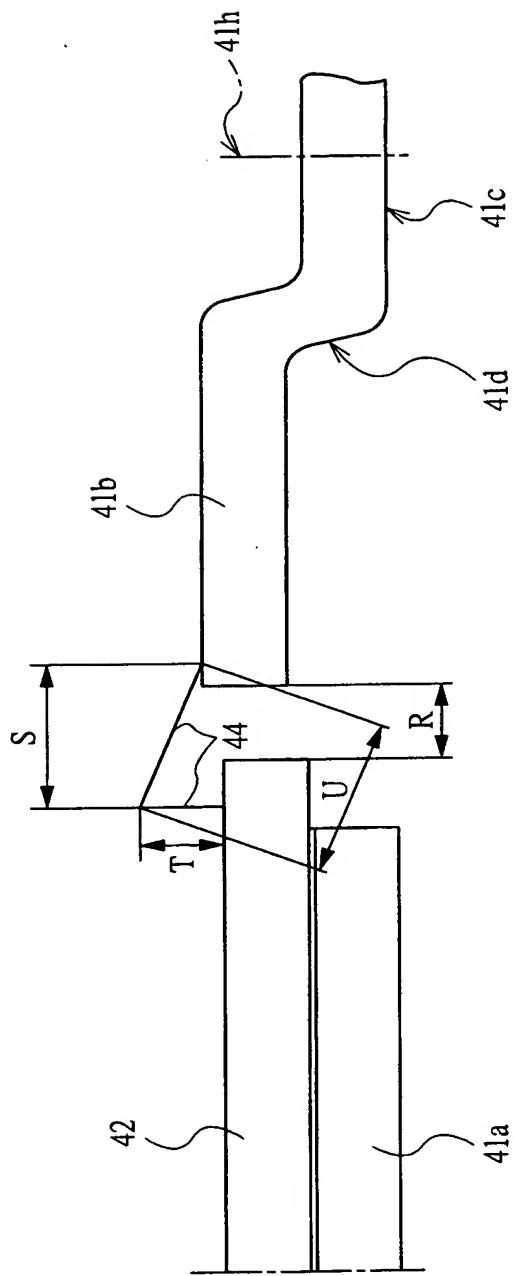
【図20】

図20



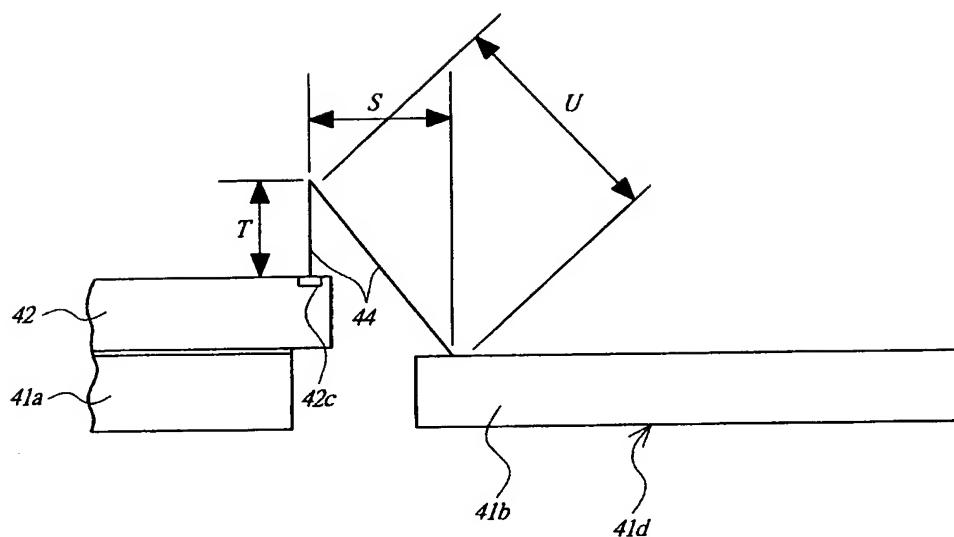
【図21】

図21



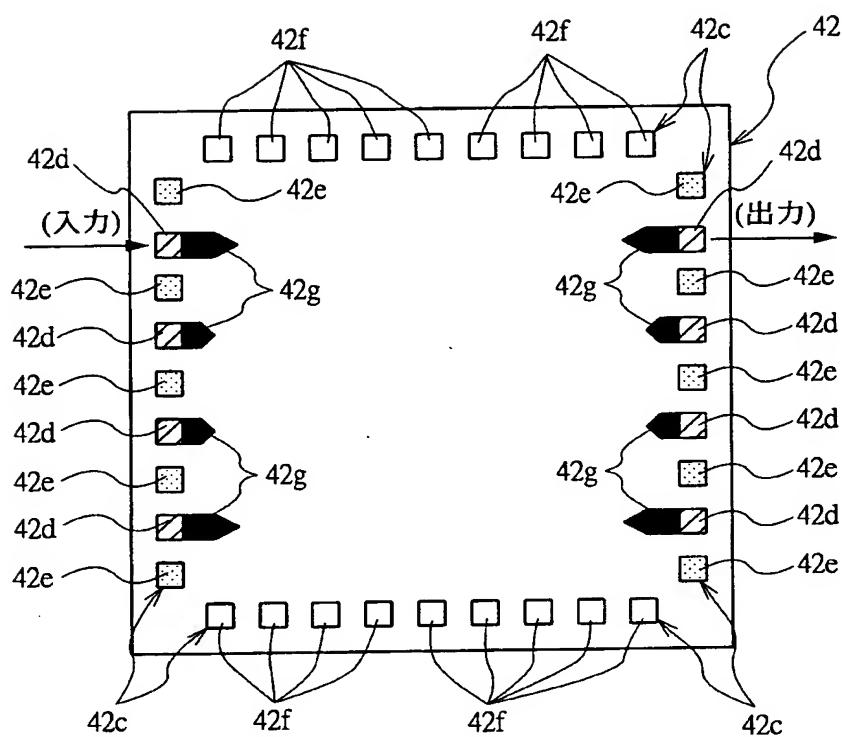
【図22】

図 22



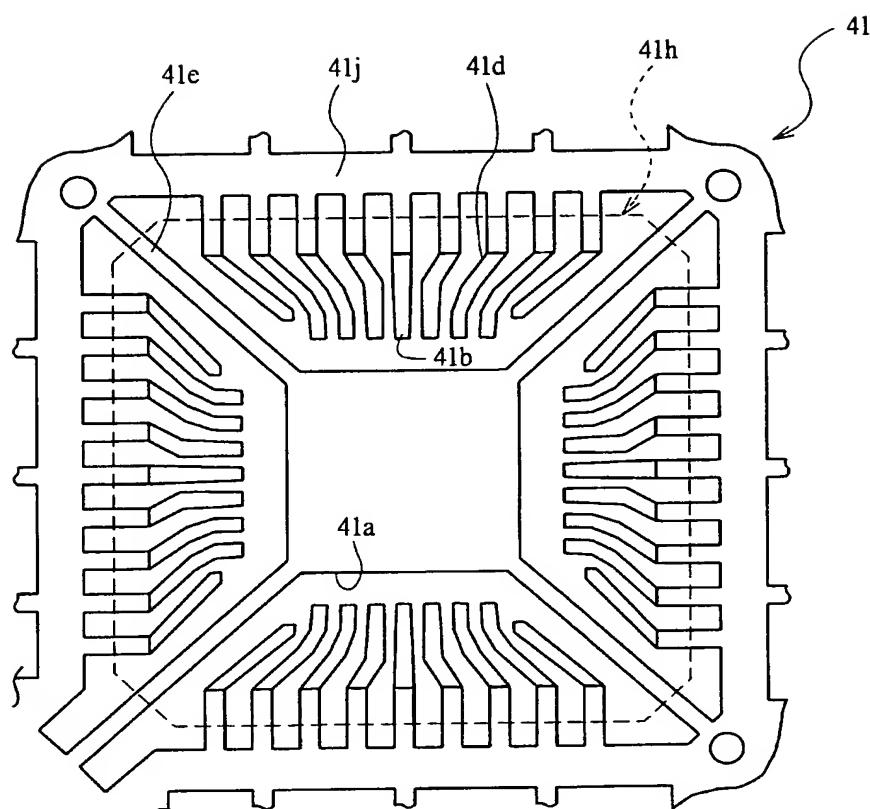
【図23】

図23



【図24】

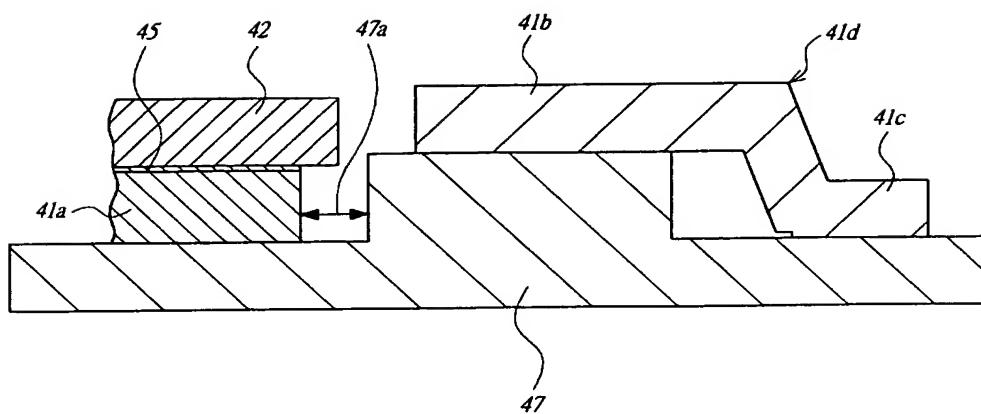
図24



41:リードフレーム

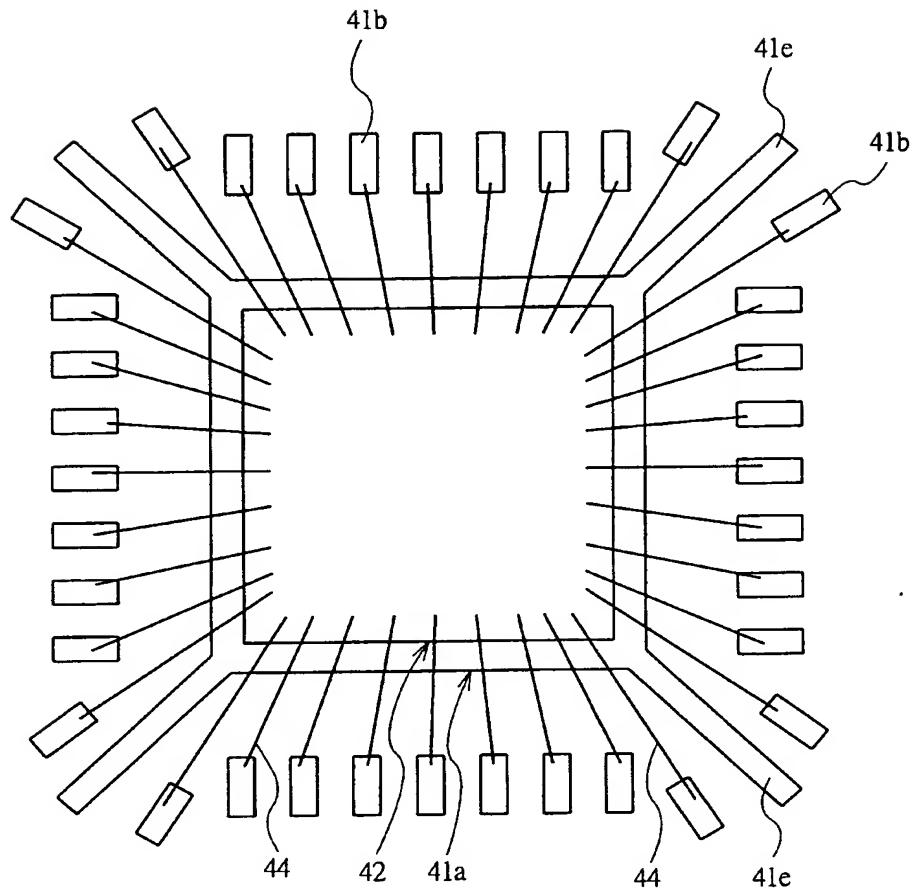
【図25】

図 25



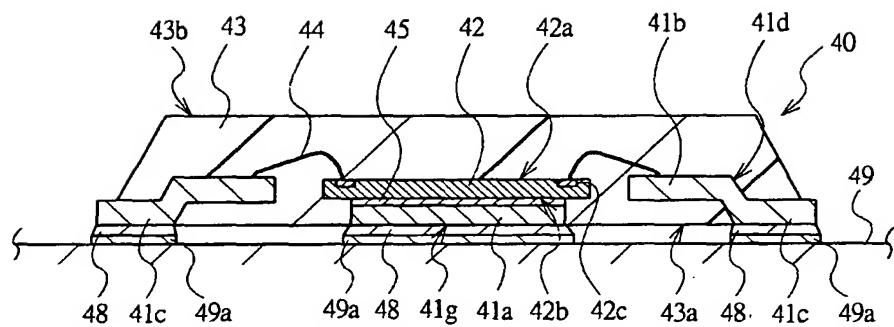
【図26】

図26



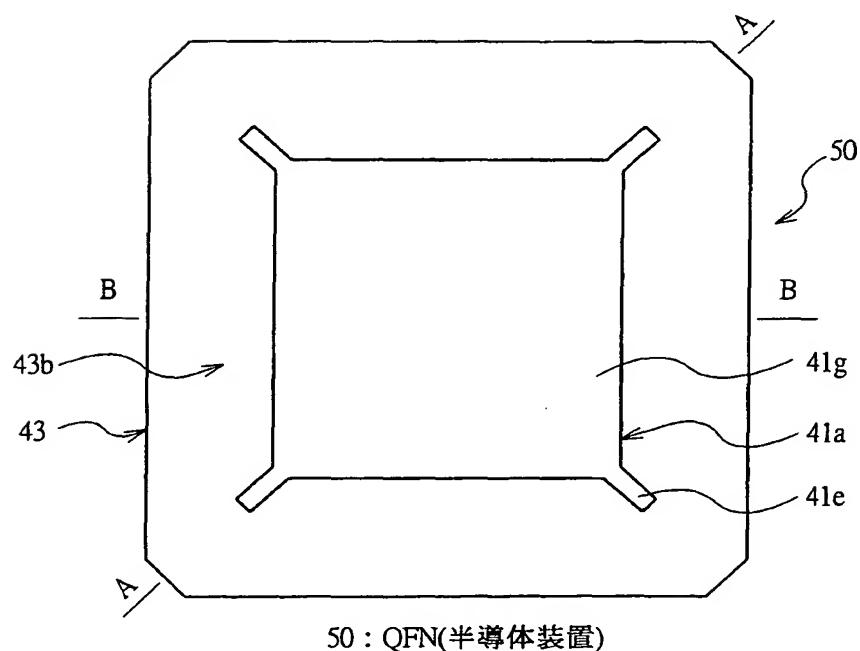
【図27】

図27



【図28】

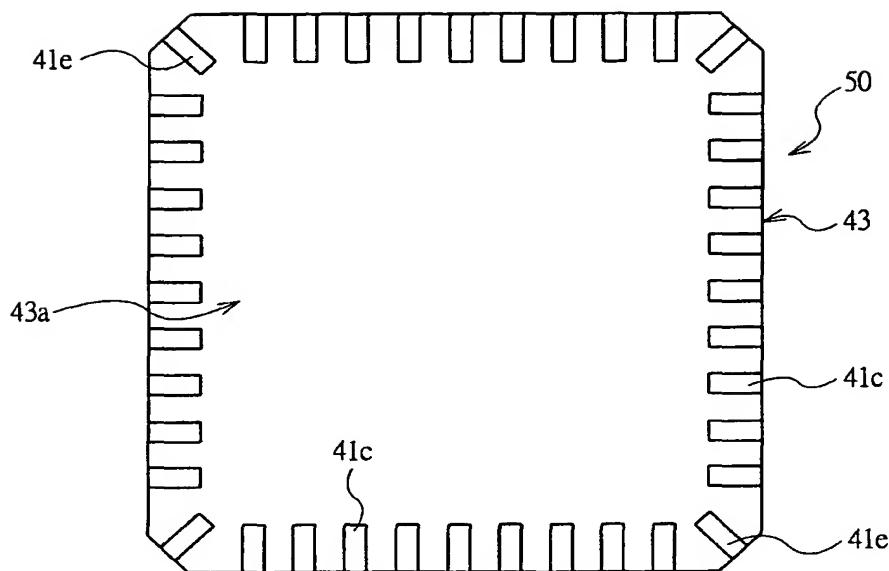
図28



50 : QFN(半導体装置)

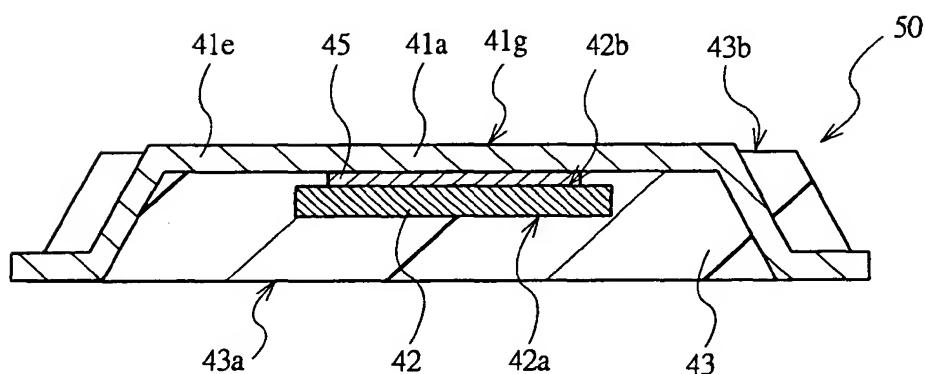
【図29】

図29



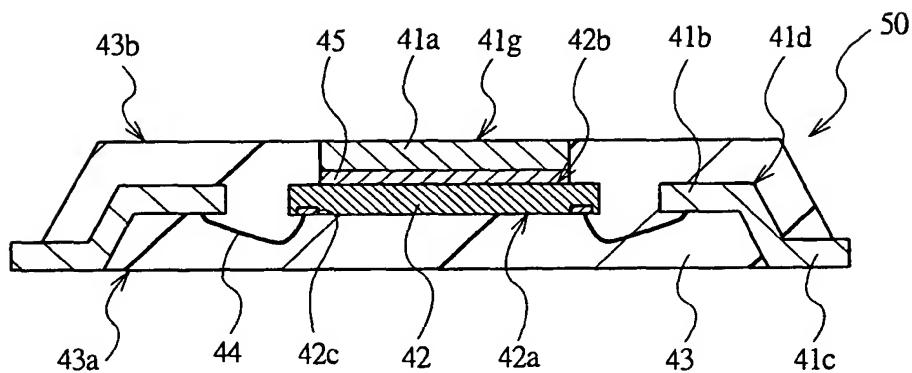
【図30】

図30



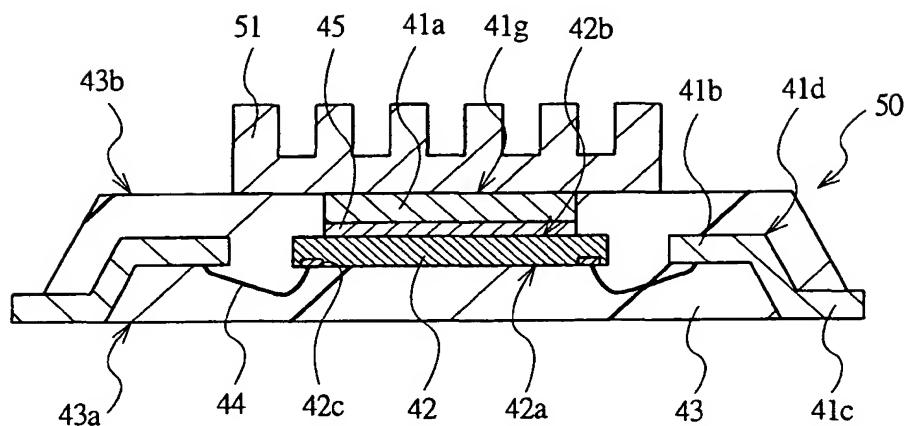
【図31】

図31



【図32】

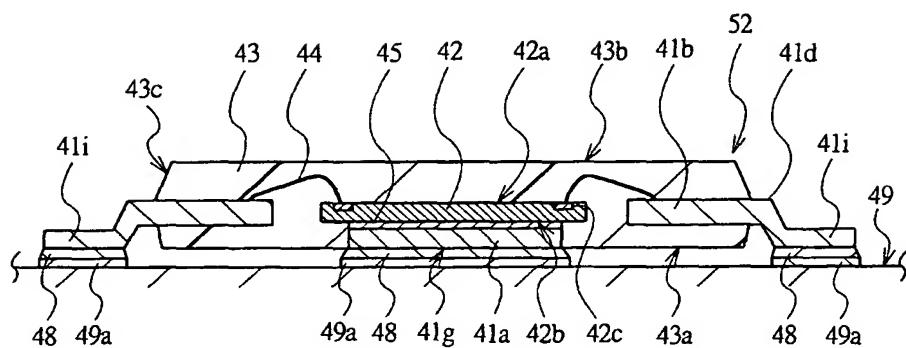
図32



51：放熱フィン(放熱部材)

【図33】

図33



41i : アウタリード(外部端子部)

43c : 側面

52 : QFP(半導体装置)

【書類名】 要約書

【要約】

【課題】 ワイヤボンディング法を用い、高速LSIが形成された半導体チップを搭載するパッケージを形成する手段を提供する。

【解決手段】 半導体チップ42と、半導体チップ42の正面42aより小さいダイパッド41aと、封止体43と、外部端子部41cとインナリード部41bとからなる複数のリード41dと、半導体チップ42のボンディングパッド42cとインナリード部41bとを接続する複数のボンディングワイヤ44とからなり、複数のインナリード部41bのそれぞれが封止体43の実装面43aから離れる方向に折り曲げられていることにより、チップ側のボンディングパッド42cとインナリード部41bのボンディング位置の高さを近づけてワイヤ長さを短くすることができ、ワイヤ部分のインダクタンスの増加を抑えて高周波信号の入出力の伝送経路の各部におけるインピーダンスの整合をとることができる。

【選択図】 図19

出願人履歴情報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地

氏 名 株式会社日立製作所